

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-228138

(43)Date of publication of application : 03.09.1996

(51)Int.Cl.

H03K 17/687

H03H 11/24

(21)Application number : 07-321328

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 11.12.1995

(72)Inventor : MIYATSUJI KAZUO
UEDA DAISUKE

(30)Priority

Priority number : 06312880

Priority date : 16.12.1994

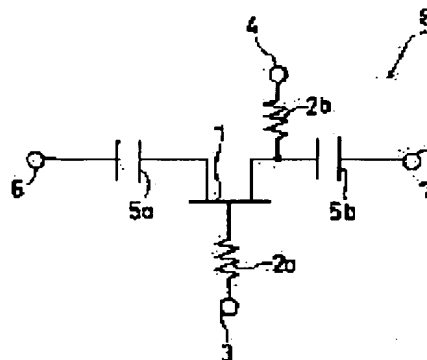
Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide the semiconductor integrated circuit for high frequency for which power consumption and an occupied area are reduced, switchable power is enlarged, output generation distortion is reduced and peripheral circuits are simplified.

CONSTITUTION: First and second signal terminals 6 and 7 are respectively connected to the drain and source of a field effect transistor(FET) and a first control terminal 3 is connected to its gate. Then, a first resistor member 2a is interposed between the gate and the first control terminal, and capacitors 5a and 5b are respectively interposed between the drain/source and the first/second signal terminal. Besides, a second control terminal 4 is connected through a second resistor member 2b to one of drain and source at least. Then, a high frequency signal inputted to the first signal terminal 6 is passed through the FET and outputted from the second signal terminal 7 and the transmission amount of high frequency signal is controlled by a voltage signal for control inputted between the first and second control terminals 3 and 4.



LEGAL STATUS

[Date of request for examination]

06.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3288209

[Date of registration] 15.03.2002
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

* NOTICES *

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor integrated circuit which has a basic circuit for transmitting a RF signal. The above-mentioned basic circuit The 1st and 2nd signal terminal for outputting and inputting a RF signal between the exteriors of the field effect transistor which has the gate, the source, and a drain, and the above-mentioned field effect transistor and a field effect transistor, The dc-component cutoff member which contains at least a capacitor component with the impedance lower than a line impedance in the frequency band which it is interposed, respectively during wiring between the source drain of the above-mentioned field effect transistor, and each above-mentioned signal terminal, and is used, The 1st control terminal connected to the above-mentioned gate, and the 1st inhibition member for being interposed between the above-mentioned gate-1st control terminals, having a resistive characteristic with an impedance higher than a line impedance, and preventing the input of the RF signal to the 1st control terminal, The 2nd control terminal connected to wiring between at least one side and a dc-component cutoff member through branching wiring among the source drains of the above-mentioned field effect transistor, It is interposed during the above-mentioned branching wiring, and has the 2nd inhibition member for an impedance to have a high resistive characteristic and prevent the input of the RF signal to the 2nd control terminal from a line impedance. The semiconductor integrated circuit characterized by being constituted so that the amount of transfer of the RF signal between the 1st signal terminal-2nd signal terminals of the above-mentioned basic circuit may be controlled by the voltage signal for control between the above-mentioned 1st control terminal and the 2nd control terminal.

[Claim 2] It is the semiconductor integrated circuit characterized by arranging only the same number individual of plurality [terminal / the above-mentioned gate and / 1st control] respectively in a semiconductor integrated circuit according to claim 1, and interposing the above-mentioned 1st inhibition member between each gate-1st control terminal, respectively.

[Claim 3] The 1st electrical-potential-difference supply terminal for two or more above-mentioned basic circuits being prepared, connecting with the 1st control terminal of some basic circuits among two or more above-mentioned basic circuits in a semiconductor integrated circuit according to claim 1, and supplying a predetermined electrical potential difference, It has further the 2nd electrical-potential-difference supply terminal for supplying the electrical potential difference which has the predetermined potential difference with the electrical potential difference which connects with the 2nd control terminal of others and a basic circuit among two or more above-mentioned basic circuits, and the above-mentioned 1st electrical-potential-difference supply terminal supplies. While the amount of transfer of the RF signal between the 1st signal terminal-2nd signal terminals is controlled by the signal to the 1st control terminal, in the basic circuit of the top Norikazu section in a basic circuit besides the above The semiconductor integrated circuit characterized by being constituted so that the amount of transfer of the RF signal between the 1st signal terminal-2nd signal terminals may be controlled by the signal to the 2nd control terminal.

[Claim 4] The input terminal which the two above-mentioned basic circuits are arranged and is connected to each 1st signal terminal of each above-mentioned basic circuit in common in a

semiconductor integrated circuit according to claim 3, The output terminal connected to the 2nd signal terminal of one basic circuit among each above-mentioned basic circuit, The earth terminal connected to the 2nd signal terminal of the basic circuit of another side among each above-mentioned basic circuit, It has further the 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control. The semiconductor integrated circuit characterized by the unit circuit which functions as a switch being constituted by each above-mentioned basic circuit.

[Claim 5] The input terminal which the two above-mentioned basic circuits are arranged and is connected to each 1st signal terminal of each above-mentioned basic circuit in common in a semiconductor integrated circuit according to claim 3, The output terminal connected to the 2nd signal terminal of one basic circuit among each above-mentioned basic circuit, The earth terminal connected to the 2nd signal terminal of the basic circuit of another side among each above-mentioned basic circuit, The 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control, It has further two resistance members which are interposed between the 1st signal terminals of the basic circuit of another side, respectively, carry out equality to it, are in it among each above-mentioned basic circuit among the source of one basic circuit and a drain, and each above-mentioned basic circuit, and have resistance. By each above-mentioned basic circuit The semiconductor integrated circuit characterized by constituting the unit circuit which functions as attenuator.

[Claim 6] The input terminal which the two above-mentioned basic circuits are arranged and is connected to each 1st signal terminal of each above-mentioned basic circuit in common in a semiconductor integrated circuit according to claim 3, The 1st and 2nd output terminal connected to each 2nd signal terminal of each above-mentioned basic circuit according to an individual, It has further the 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control. The semiconductor integrated circuit characterized by constituting the unit circuit which has the signal distribution function which outputs the RF signal inputted through the common input terminal through the 1st and 2nd output terminal of the above by each above-mentioned basic circuit, respectively.

[Claim 7] The 1st and 2nd input terminal which the two above-mentioned basic circuits are arranged, make these the 1st and 2nd basic circuit in a semiconductor integrated circuit according to claim 3, and is connected to each 1st signal terminal of the above-mentioned 1st and 2nd basic circuit according to an individual, It has further the output terminal connected common to each 2nd signal terminal of each above-mentioned basic circuit, and the 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control. The semiconductor integrated circuit characterized by constituting the unit circuit which has the signal mixing function which outputs the RF signal inputted through the 1st and 2nd input terminal of the above through a common output terminal by each above-mentioned basic circuit.

[Claim 8] The 3rd output terminal which makes the two above-mentioned unit circuits the 1st and 2nd unit circuit, respectively, and is connected common to one of output terminals in a semiconductor integrated circuit according to claim 6 among the 1st and 2nd output terminal of the above of each above-mentioned unit circuit, The 4th output terminal connected common to the output terminals of another side among the 1st and 2nd output terminal of the above of each above-mentioned unit circuit, With the voltage signal which is further equipped with the 4th control terminal connected common to each 3rd control terminal of each above-mentioned unit circuit, and is inputted into the above-mentioned 4th control terminal The semiconductor

integrated circuit characterized by being constituted so that the RF signal inputted from each input terminal of each unit circuit may output by turns from the 3rd and 4th output terminal of each unit circuit and it may be switched, and the four-way-type circuit changing switch being constituted by the above-mentioned 1st and 2nd unit circuit.

[Claim 9] In a semiconductor integrated circuit according to claim 6, 7, or 8 among each above-mentioned basic circuit in at least one basic circuit The 3rd basic circuit which has the same configuration as each above-mentioned basic circuit is attached. The 1st signal terminal of the above-mentioned 3rd basic circuit It connects with the above-mentioned input terminal of the unit circuit where one basic circuit belongs even if few. the above -- the 2nd signal terminal of the above-mentioned 3rd basic circuit When it connects with an earth terminal and the 1st control terminal of the basic circuit where the above-mentioned 3rd basic circuit is attached is connected to the 3rd control terminal While the 2nd control terminal of the above-mentioned 3rd basic circuit is connected to the above-mentioned 3rd control terminal and the 1st control terminal of the 3rd basic circuit is connected to either among the above-mentioned 1st electrical-potential-difference supply terminal and the above-mentioned 2nd electrical-potential-difference supply terminal When the 2nd control terminal of the basic circuit where the above-mentioned 3rd basic circuit is attached is connected to the 3rd control terminal The semiconductor integrated circuit characterized by connecting the 1st control terminal of the above-mentioned 3rd basic circuit to the above-mentioned 3rd control terminal, and connecting the 2nd control terminal of the 3rd basic circuit to either among the above-mentioned 1st electrical-potential-difference supply terminal and the above-mentioned 2nd electrical-potential-difference supply terminal.

[Claim 10] The semiconductor integrated circuit with which only the same number individual of plurality [terminal / the above-mentioned gate and / 1st control] respectively is characterized by being arranged and interposing the above-mentioned 1st inhibition member between each gate-1st control terminal, respectively among each above-mentioned basic circuit in at least one basic circuit in a semiconductor integrated circuit according to claim 3, 4, 5, 6, 7, 8, or 9.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor integrated circuit for RFs used for mobile communication equipment, especially a cellular phone, etc.

[0002]

[Description of the Prior Art] In recent years, the transceiver change of antennas, such as a cellular phone, and power amplification input-level control are expected small, the solid state switch for high frequency of a low power, and the semi-conductor adjustable attenuator for high frequency with development of the mobile communications field. The basic circuit which has arranged the electric field effect mold transistor (FET) as shown in drawing 8 as a device used for such a switch and an attenuator is used.

[0003] As for a control terminal and 6, in drawing 8, the field effect transistor of the normally on type which 1 is formed in some GaAs substrates and has the gate and a source drain, and 3 are [the 1st signal terminal and 7] the 2nd signal terminals. That is, the voltage signal for control is impressed to the gate of a field effect transistor 1 through the control terminal 3, and it is made as [control / by changing the value of the voltage signal for control / the amount of transfer of the 1st signal terminal 6, the 2nd signal terminal 7, and the RF signal of a between].

[0004] Moreover, drawing 9 arranges two basic circuits shown in above-mentioned drawing 8, connects the 1st signal terminal of each basic circuit to the common input terminal 10, and makes an output terminal the 2nd signal terminal 7 of one basic circuit, and the configuration of the circuit which connected the 2nd signal terminal 7 of the basic circuit of another side to the earth terminal is shown. In such a circuit, the amount of transfer of the signal in each basic circuit is controlled by inputting a complementary control voltage signal into each control terminal 3 of each basic circuit complementary. Therefore, high isolation can be especially demonstrated by the high frequency signal at the time of OFF of the field effect transistor of the basic circuit of the side which transmits a high frequency signal to an output terminal being missed at an earth terminal side.

[0005]

[Problem(s) to be Solved by the Invention] However, when it was going to constitute the circuit as shown in drawing 9 combining the above-mentioned conventional basic circuit, there were the following problems.

[0006] That is, although RF control circuits, such as a switch, make a unit the basic circuit shown in drawing 8 and other basic circuits are inserted and constituted between I/O of this basic circuit, between an input / touch-down, or between an output / touch-down as drawing 9 was explained, two control terminals for inputting the complementary voltage signal for control in this case are required. For example, two control circuits for supplying a respectively complementary control voltage signal are needed for each control terminal 3 of each basic circuit in the circuit shown in drawing 9. For this reason, two control terminals are not only always needed, but the circumference circuit for driving this RF control circuit will become complicated. Moreover, although explanation was omitted, also when a bridge T mold attenuator was constituted combining the unit circuit shown in above-mentioned drawing 8, two control

networks which input two complementary control signals were needed, and the same problem was produced.

[0007] Furthermore, when the power of the RF signal to input was large as an accompanying problem, the linear characteristic during I/O collapsed and there was a possibility that distortion generated in an output might become large. Therefore, when the circuit which combined the basic circuit shown in the basic circuit shown in drawing 8 or drawing 9 was used as a switch or an attenuator, there was a problem that usable power was restricted.

[0008] This invention is made in view of each of this trouble, and the 1st purpose is in offering the semiconductor integrated circuit for RF control in which the simplification of the structure of circumference circuits, such as a drive circuit, is possible by improving the structure of a basic circuit required for a switch and an attenuator.

[0009] Moreover, the 2nd purpose is to reduce the distortion during the I/O in the semiconductor integrated circuit for RF control with which the above structures were simplified.

[0010]

[Means for Solving the Problem] The solution means which this invention provided in order to attain the 1st purpose of the above is to consider as the configuration which both controls control of a field effect transistor by the electrical potential difference between gate-source drains as if a means to prevent transfer of the direct current signal between the 1st signal terminal and the 2nd signal terminal in a basic circuit, and the source drain of a field effect transistor is adopted.

[0011] Moreover, the means which this invention provided in order to attain the 2nd purpose of the above is to constitute the gate of the field effect transistor in a basic circuit from two or more gates.

[0012] Concretely the 1st semiconductor integrated circuit concerning this invention The field effect transistor which is the semiconductor integrated circuit which has a basic circuit for transmitting a RF signal so that it may be indicated by claim 1, and has the gate, the source, and a drain in the above-mentioned basic circuit, The 1st and 2nd signal terminal for outputting and inputting a RF signal between the exteriors of the above-mentioned field effect transistor and a field effect transistor, The dc-component cutoff member which contains at least a capacitor component with the impedance lower than a line impedance in the frequency band which it is interposed, respectively during wiring between the source drain of the above-mentioned field effect transistor, and each above-mentioned signal terminal, and is used, The 1st control terminal connected to the above-mentioned gate, and the 1st inhibition member for being interposed between the above-mentioned gate-1st control terminals, having a resistive characteristic with an impedance higher than a line impedance, and preventing the input of the RF signal to the 1st control terminal, The 2nd control terminal connected to wiring between at least one side and a dc-component cutoff member through branching wiring among the source drains of the above-mentioned field effect transistor, It is interposed during the above-mentioned branching wiring, and the 2nd inhibition member for an impedance to have a high resistive characteristic and prevent the input of the RF signal to the 2nd control terminal from a line impedance is prepared. And it constitutes so that the amount of transfer of the RF signal between the 1st signal terminal-2nd signal terminals of the above-mentioned basic circuit may be controlled by the voltage signal for control between the above-mentioned 1st control terminal and the 2nd control terminal.

[0013] If a RF signal is inputted into the 1st signal or the 2nd signal terminal by this configuration, the amount of transfer of a RF signal will be controlled by the voltage signal for control impressed between the gate-source drains of the field effect transistor interposed between the 1st signal terminal and the 2nd signal terminal. In that case, since the 1st and 2nd control terminal is connected to the gate and a source drain according to the individual, respectively, when two or more these basic circuits are combined, it becomes possible to connect the 1st control terminal of one basic circuit, and the 2nd control terminal of the basic circuit of another side in common. And since the dc-component cutoff member containing a capacitor component is interposed between the source drain of a field effect transistor, and the 1st and 2nd signal terminal, even if it combines each basic circuit, the potential of each signal

terminal has been independent and does not do effect mutually. Therefore, the voltage signal for control common to the 1st control terminal of a certain basic circuit and the 2nd control terminal of other basic circuits is supplied, and it becomes possible to control actuation of each basic circuit. Moreover, since the inflow of the RF signal from each part of a field effect transistor to each signal terminal or each control terminal is prevented by each inhibition member, a RF signal does not flow into any paths other than the path between the 1st signal terminal-2nd signal terminals by it. That is, it becomes possible to constitute the semiconductor integrated circuit with which few control networks of the number of terminals were simplified combining this basic circuit.

[0014] In the 1st semiconductor integrated circuit of the above, only two or more same number individuals can arrange the above-mentioned gate and the 1st control terminal, respectively, and the above-mentioned 1st inhibition member can be interposed between each gate-1st control terminal, respectively so that it may be indicated by claim 2.

[0015] Thus, it means connecting the drain source of two or more field effect transistors to a serial by using a field effect transistor with two or more gates, and since the partial pressure of the high-frequency voltage substantially added between the drain sources of each field effect transistor is carried out by the number of the gate and it becomes small, the power which can be switched improves and distortion generated in an output becomes small.

[0016] The 2nd semiconductor integrated circuit concerning this invention so that it may be indicated by claim 3 The 1st electrical-potential-difference supply terminal for preparing two or more above-mentioned basic circuits, connecting with the 1st control terminal of some basic circuits among two or more above-mentioned basic circuits, and supplying a predetermined electrical potential difference, The 2nd electrical-potential-difference supply terminal for supplying the electrical potential difference which has the predetermined potential difference with the electrical potential difference which connects with the 2nd control terminal of others and a basic circuit among two or more above-mentioned basic circuits, and the above-mentioned 1st electrical-potential-difference supply terminal supplies is prepared further. In the basic circuit of the top Norikazu section, while the amount of transfer of the RF signal between the 1st signal terminal-2nd signal terminals is controlled by the signal to the 1st control terminal, it constitutes from a basic circuit besides the above so that the amount of transfer of the RF signal between the 1st signal terminal-2nd signal terminals may be controlled by the signal to the 2nd control terminal.

[0017] The amount of transfer of the RF signal of each basic circuit has relation, and is controlled by inputting into the 1st control terminal or the 2nd control terminal of each basic circuit the voltage signal for control which changes between the 1st electrical potential difference and the 2nd electrical potential difference in two or more basic circuits by this configuration. therefore, even if it boils and combines various each basic circuits, a control network and the number of terminals will be simplified.

[0018] It sets to the 2nd semiconductor integrated circuit of the above so that it may be indicated by claim 4. The input terminal which arranges the two above-mentioned basic circuits and is connected to each 1st signal terminal of each above-mentioned basic circuit in common, The output terminal connected to the 2nd signal terminal of one basic circuit among each above-mentioned basic circuit, The earth terminal connected to the 2nd signal terminal of the basic circuit of another side among each above-mentioned basic circuit, The 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control is prepared further. Each above-mentioned basic circuit can constitute the unit circuit which functions as a switch.

[0019] The amount of transfer of the RF signal transmitted to an output terminal through one basic circuit of each basic circuit by the voltage signal for control supplied through the single 3rd control terminal by this configuration and the RF signal missed by the earth terminal through the basic circuit of another side is controlled complementary. Therefore, the high unit circuit of the isolation during I/O where a control network is simple will be constituted combining the 1st and

2nd basic circuit.

[0020] It sets to the 2nd semiconductor integrated circuit of the above so that it may be indicated by claim 5. The input terminal which arranges the two above-mentioned basic circuits and is connected to each 1st signal terminal of each above-mentioned basic circuit in common, The output terminal connected to the 2nd signal terminal of one basic circuit among each above-mentioned basic circuit, The earth terminal connected to the 2nd signal terminal of the basic circuit of another side among each above-mentioned basic circuit, The 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control, Two resistance members which are interposed between the 1st signal terminals of the basic circuit of another side, respectively, carry out equality to it, are in it among each above-mentioned basic circuit among the source of one basic circuit and a drain, and each above-mentioned basic circuit, and have resistance are prepared further. By each above-mentioned basic circuit The unit circuit which functions as attenuator can be constituted.

[0021] While a unit circuit turns into a bridge T mold attenuator circuit and the matching conditions during each I/O are held good by this configuration, the magnitude of attenuation during I/O changes with the single voltage signals for control. Therefore, the attenuator which the control network was simplified and was excellent in the damping function of a RF signal will be constituted.

[0022] It sets to the 2nd semiconductor integrated circuit of the above so that it may be indicated by claim 6. The input terminal which arranges the two above-mentioned basic circuits and is connected to each 1st signal terminal of each above-mentioned basic circuit in common, The 1st and 2nd output terminal connected to each 2nd signal terminal of each above-mentioned basic circuit according to an individual, The 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control is prepared further. The unit circuit which has the signal distribution function which outputs the RF signal inputted through the common input terminal through the 1st and 2nd output terminal of the above by each above-mentioned basic circuit, respectively can be constituted.

[0023] Moreover, it sets to the 2nd semiconductor integrated circuit of the above so that it may be indicated by claim 7. The 1st and 2nd input terminal which arranges the two above-mentioned basic circuits, makes these the 1st and 2nd basic circuit, and is connected to each 1st signal terminal of the above-mentioned 1st and 2nd basic circuit according to an individual, The output terminal connected common to each 2nd signal terminal of each above-mentioned basic circuit and the 3rd control terminal for connecting with the 1st control terminal of one of basic circuits common to the 2nd control terminal of the basic circuit of another side among each above-mentioned basic circuit among each above-mentioned basic circuit, and inputting the voltage signal for control are prepared further. The unit circuit which has the signal mixing function which outputs the RF signal inputted through the 1st and 2nd input terminal of the above through a common output terminal by each above-mentioned basic circuit can be constituted.

[0024] Moreover, it sets to the 2nd semiconductor integrated circuit of the above so that it may be indicated by claim 8. The 3rd output terminal to which the two above-mentioned unit circuits are connected common to one of output terminals as the 1st and 2nd unit circuit among the 1st and 2nd output terminal of the above of each above-mentioned unit circuit, The 4th output terminal connected common to the output terminals of another side among the 1st and 2nd output terminal of the above of each above-mentioned unit circuit, With the voltage signal which prepares further the 4th control terminal connected common to each 3rd control terminal of each above-mentioned unit circuit, and is inputted into the above-mentioned 4th control terminal It can constitute so that the RF signal inputted from each input terminal of each unit circuit may output by turns from the 3rd and 4th output terminal of each unit circuit and it may be switched, and the above-mentioned 1st and 2nd unit circuit can constitute a four-way-type circuit changing switch.

[0025] It sets to the 2nd semiconductor integrated circuit of the above so that it may be indicated by claim 9. The 3rd basic circuit which has the same configuration as each above-mentioned basic circuit is attached to at least one basic circuit among each above-mentioned basic circuit. It connects with the above-mentioned input terminal of the unit circuit where one basic circuit belongs even if few. the 1st signal terminal of the above-mentioned 3rd basic circuit -- the above -- When the 2nd signal terminal of the above-mentioned 3rd basic circuit is connected to an earth terminal and the 1st control terminal of the basic circuit where the above-mentioned 3rd basic circuit is attached is connected to the 3rd control terminal While connecting the 2nd control terminal of the above-mentioned 3rd basic circuit to the above-mentioned 3rd control terminal and connecting the 1st control terminal of the 3rd basic circuit to either among the above-mentioned 1st electrical-potential-difference supply terminal and the above-mentioned 2nd electrical-potential-difference supply terminal When the 2nd control terminal of the basic circuit where the above-mentioned 3rd basic circuit is attached is connected to the 3rd control terminal It can consider as the configuration which connects the 1st control terminal of the above-mentioned 3rd basic circuit to the above-mentioned 3rd control terminal, and connects the 2nd control terminal of the 3rd basic circuit to either among the above-mentioned 1st electrical-potential-difference supply terminal and the above-mentioned 2nd electrical-potential-difference supply terminal.

[0026] Distribution of the RF signal between each basic circuit, mixing, a switch, etc. are performed by the configuration of above-mentioned claims 6-9. Therefore, the distributor with which the control network was simplified will be constituted.

[0027] In each above-mentioned semiconductor integrated circuit, it can consider as the configuration which only two or more same number individuals arrange the above-mentioned gate and the 1st control terminal in at least one basic circuit, respectively, and interposes the above-mentioned 1st inhibition member in it between each gate-1st control terminal among each above-mentioned basic circuit, respectively so that it may be indicated by claim 10.

[0028] By this configuration, the same operation as invention of claim 2 is acquired.

[0029]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained, referring to a drawing.

[0030] (1st operation gestalt) It explains first, referring to a drawing about the 1st operation gestalt. Drawing 1 is the electrical diagram showing the configuration of the basic circuit 8 in the semiconductor integrated circuit concerning the 1st operation gestalt of this invention. The field effect transistor 1 in which this basic circuit 8 has the gate, the source, and a drain, It is constituted combining the 1st and 2nd capacitor 5a and 5b which functions as 1st and 2nd resistance member 2a as the 1st and 2nd inhibition member which prevents transfer of a RF signal, 2b, and the 1st and 2nd control terminals 3 and 4 as a dc-component cutoff member, and the 1st and 2nd signal terminals 6 and 7. A field effect transistor 1 is 1mm in 1 micrometer of gate length, and gate width, and is a normally on type whose pinch off voltage is -2V. The gate of this field effect transistor 1 is connected to the 1st control terminal 3 through 1st resistance member 2a. Moreover, the source is connected to the 2nd control terminal 4 through 2nd resistance member 2b. The resistance of such each resistance member 2a and 2b is larger than a line impedance enough, for example, the thing of 2Kohm is selected. The drain of a field effect transistor 1 is connected to the 1st signal terminal 6 through 1st capacitor 5a, and the source is connected to the 2nd signal terminal 7 through 2nd capacitor 5b. A 50pF thing is respectively selected so that several 100MHz - several GHz transmission loss may become sufficiently small as for each capacitors 5a and 5b. With FET, a resistance member, etc., on a common GaAs substrate, these capacitors 5a and 5b deposit the insulator layer which consists of BST (barium-titanate strontium, a dielectric constant: 200-300) which is a high dielectric ingredient, and are formed by carrying out patterning of this. About 200nm, then the capacity per unit area of Capacitors 5a and 5b are the thickness of the BST film 100pF/100micrometer² It becomes and the basic circuit 8 shown in drawing 1 can be contained on about two 0.5mm GaAs substrate. That is, the occupancy area of this basic circuit 8 is small, and ends.

[0031] Next, actuation of the semiconductor integrated circuit of this operation gestalt is

explained. The resistance between the drain sources of a field effect transistor 1 changes with the electrical potential differences impressed to the gate which serves as negative to the source. For this reason, the amount of transfer of the RF signal between the 1st signal terminal 6 and the 2nd signal terminal 7 is controllable by impressing the voltage signal for control so that the 1st control terminal 3 may serve as negative to the 2nd control terminal 4. The drain source of a field effect transistor 1 is separated from the 1st and 2nd signal terminals 6 and 7 in direct current by Capacitors 5a and 5b. For this reason, when it constitutes a high frequency control circuit as a unit, combining the circuit of this operation gestalt two or more, the voltage signal for control can be respectively applied to the field effect transistor of each basic circuit independently, without being influenced of the voltage signal for control applied to other basic circuits.

[0032] In addition, in the basic circuit shown in the operation gestalt of the above 1st, and each following operation gestalt, the field effect transistor in a basic circuit may be a NOMARI off mold. In that case, what is necessary is just to impress the voltage signal for control with which the potential of the 1st control terminal 3 connected to the gate becomes higher than the potential of the 2nd control terminal 4.

[0033] Moreover, although 1st and 2nd resistance member 2a and 2b were arranged with the operation gestalt of the above 1st as the 1st and 2nd inhibition member which prevents transfer for a RF signal, the element which can be used as each inhibition member is not limited to this resistance member. Therefore, the member which has the resistive characteristic of diode etc. can be used instead of the resistance member in each basic circuit shown in the operation gestalt of the above 1st, and each following operation gestalt.

[0034] Furthermore, with the operation gestalt of the above 1st, although the 1st and 2nd capacitor 5a and 5b was formed as a dc-component cutoff member, the member which can be used as a dc-component cutoff member is not limited to a capacitor. For example, since a PIN diode contains a capacitor component, even if it arranges this instead of Capacitors 5a and 5b, it can intercept a dc component and can demonstrate the same effectiveness as the operation gestalt of the above 1st.

[0035] (2nd operation gestalt) Next, the 2nd operation gestalt of this invention is explained. Drawing 2 is the electrical diagram showing the configuration of the basic circuit in the semiconductor integrated circuit concerning the 2nd operation gestalt. With this operation gestalt, compared with the configuration in the operation gestalt of the above 1st, three gate electrodes are prepared in a field effect transistor 1, and it differs in that 1st resistance member 2a is respectively interposed between each gate electrode and the 1st control terminal 3. Other configurations are the same as that of the operation gestalt of the above 1st. Like the operation gestalt 1 of these three ***** of 1st resistance member 2a and 2nd resistance member 2b, it is large enough, for example, the thing of 2Kohm is selected from a line impedance. A 50pF thing is respectively selected so that several 100MHz – several GHz transmission loss may become sufficiently small as for each capacitors 5a and 5b.

[0036] Next, actuation of the semiconductor integrated circuit of this operation gestalt is explained. It is the same as that of the operation gestalt 1 of fundamental *****, and the direct-current-potential of the 1st signal terminal 6 and the 2nd signal terminal 7 can control the amount of transfer of a RF signal by the electronegative potential difference over the 2nd control terminal 4 of the 1st control terminal 3 independently.

[0037] With this operation gestalt, what has arranged three gate electrodes is used between the drain sources as a field effect transistor 1. This is equivalent to what connected each drain source of three field effect transistors to the serial. For this reason, the high-frequency voltage substantially added between the drain sources is divided into 1 for a number (this operation gestalt 3) of the gate. Although the nonlinearity of resistance between the drain sources will increase if the electrical potential difference between the drain sources is large, distortion generated in an output is reduced by using a field effect transistor with such two or more gates. Moreover, each gate is connected to the 1st control terminal 3 through 1st resistance member 2a, respectively. For this reason, the electrical potential difference of each gate follows in footsteps of the RF signal inputted into the signal terminal, it changes, fluctuation of the

potential difference between the gate sources is suppressed, and generating of distortion is reduced further.

[0038] In addition, also in the 3rd below-mentioned operation gestalt, the 6th operation gestalt, and the 7th operation gestalt, it is good also as a configuration which prepares two or more gates of the field effect transistor in each basic circuit. However, it is not necessary to consider the gate in all basic circuits as the same configuration, and the numbers of the gate may differ in each basic circuit.

[0039] (3rd operation gestalt) Next, the 3rd operation gestalt is explained. Drawing 3 is the electrical diagram showing the configuration of the unit circuit 20 in the semiconductor integrated circuit concerning the 3rd operation gestalt. The unit circuit 20 in this operation gestalt is constituted combining the two 1st and 2nd basic circuits 8 and 9 which have the same configuration as the basic circuit 8 in the operation gestalt of the above 1st. And each 1st signal terminal 6 of the 1st and 2nd basic circuits 8 and 9 is connected to the common input terminal 10. Moreover, each 2nd signal terminal 7 of the 1st and 2nd basic circuits 8 and 9 is connected according to the individual at the 1st and 2nd output terminal 11a and 11b. Furthermore, the 1st control terminal 3 of the 1st basic circuit 8 and the 2nd control terminal 4 of the 2nd basic circuit 9 are connected to the common 3rd control terminal 12. The 1st control terminal 3 of the 2nd basic circuit is connected to the earth terminal, and the 2nd control terminal 4 of the 1st basic circuit is connected to the power supply terminal 13.

[0040] Next, actuation of the semiconductor integrated circuit in this operation gestalt is explained. If the electrical potential difference between the gate sources of the field effect transistor of Vgs1 and the 2nd basic circuit 9 is set [the potential of a power supply terminal 13 / the potential of Vdd and the 3rd control terminal 12] to Vgs2 for the electrical potential difference between the gate sources of the field effect transistor of Vc and the 1st basic circuit 8, relation $V_{gs1} = -V_c$, $V_{gs2} = V_c - V_{dd}$ of the following two formulas will be obtained. Therefore, following type $|V_{gs1}| + |V_{gs2}| = V_{dd}$ will be obtained and each field effect transistor 1 of two basic circuits 8 and 9 will be mutually joined by the complementary voltage signal for control.

[0041] That is, in the circuit in this operation gestalt, the single control input inputted through the 3rd control terminal 12 can distribute the RF signal added to the input terminal 10 to two output terminals 11a and 11b of each basic circuits 8 and 9. Although this has connected the 1st signal input of two basic circuits in RF, since it has separated in direct current with the capacitor, it becomes possible. The configuration of a circumference circuit required for the voltage signal input for control is simplified by such configuration. In addition, the above-mentioned power supply terminal and an earth terminal should just be electrical-potential-difference supply terminals which supply two electrical potential differences which have the predetermined potential difference, respectively.

[0042] (4th operation gestalt) Next, the 4th operation gestalt is explained. Drawing 4 is the electrical diagram showing the configuration of the unit circuit 20 in the semiconductor integrated circuit concerning the 4th operation gestalt. The unit circuit 20 of the semiconductor integrated circuit of this operation gestalt is a switch which combines the 1st and 2nd basic circuits 8 and 9 which have the same configuration as the basic circuit 8 in the 2nd operation gestalt, and turns on and off transfer of the RF signal between an input terminal 10 and an output terminal 11 only with the voltage signal for control to the 3rd control terminal 12.

[0043] As shown in drawing 4, the 1st control terminal 3 and the 2nd signal terminal 7 of the 2nd basic circuit 9 are connected to the earth terminal, the 1st signal terminal 6 of the 2nd basic circuit 9 is connected to as common an input terminal 10 as the 1st signal terminal 6 of the basic circuit 8, and the 2nd control terminal 4 of the 2nd basic circuit 9 is connected to as common the 3rd control terminal 12 as the 1st control terminal 3 of the basic circuit 8. And a predetermined electrical potential difference is supplied to the 2nd control terminal 4 of the 1st basic circuit 8 through a power supply terminal 13. However, with this operation gestalt, although the 1st control terminal 3 of the 2nd basic circuit 9 is connected to the earth terminal, it is not necessary to necessarily connect with the earth terminal, and the 1st control terminal 3 should just be connected to other electrical-potential-difference supply terminals which supply the electrical potential difference supplied from the power supply terminal 13 which is the 1st

electrical-potential-difference supply terminal, and the electrical potential difference which has the predetermined potential difference. That is, the configuration of the unit circuit 20 shown in drawing 4 shows an example whose 2nd electrical-potential-difference supply terminal is an earth terminal.

[0044] By such configuration, when between an input terminal 10 and output terminals 11 is OFF, the RF signal inputted from the input terminal 10 can be missed to an earth terminal side, and improvement in the isolation during I/O can be aimed at.

[0045] As mentioned above, since the semiconductor integrated circuit of this operation gestalt can turn on and off transfer of the RF signal during I/O with the single voltage signal for control, simplification of a circumference circuit can be attained. Moreover, since what has three gate electrodes between the drain sources as a field effect transistor is used, distortion generated in an output is reduced and the power which can be switched is improving.

[0046] (5th operation gestalt) Next, the 5th operation gestalt is explained. Drawing 5 is the electrical diagram showing the configuration of the unit circuit 30 of the semiconductor integrated circuit concerning the 5th operation gestalt. The field effect transistor is used as variable resistance controlled by the electrical potential difference between the gate sources, and the bridge T mold attenuator circuit consists of these operation gestalten.

[0047] The basic circuit in this operation gestalt is constituted combining the basic circuit 8 in the 2nd operation gestalt, and the two 1st and 2nd basic circuits 8 and 9 which have the same configuration fundamentally. However, he prepares four gate electrodes between source-drains, and is trying to connect each gate electrode to a common power supply terminal 13 or a common earth terminal through four 1st resistance member 2a in each basic circuits 8 and 9 with this operation gestalt respectively. Moreover, it connects through 3rd resistance member 2c which has the same resistance mutually between the 1st signal terminal 6 of the 2nd basic circuit 9, and the source drain of the 1st basic circuit 8. Moreover, the 1st control terminal 3 and the 2nd signal terminal 7 of the 2nd basic circuit 9 are connected to the earth terminal, and the 2nd control terminal 4 of the 2nd basic circuit 9 is connected to as common the 3rd control terminal 12 as the 1st control terminal 3 of the basic circuit 8. Moreover, the 2nd control terminal 4 of the 1st basic circuit 8 is connected to the power supply terminal 13. However, with this operation gestalt, although the 1st control terminal 3 of the 2nd basic circuit 9 is connected to the earth terminal, it is not necessary to necessarily connect with the earth terminal, and the 1st control terminal 3 should just be connected to other electrical-potential-difference supply terminals which supply the electrical potential difference supplied from the power supply terminal 13 which is the 1st electrical-potential-difference supply terminal, and the electrical potential difference which has the predetermined potential difference. That is, the configuration of the unit circuit 20 shown in drawing 4 shows an example whose 2nd electrical-potential-difference supply terminal is an earth terminal. in addition, value Z_o of the characteristic impedance of the transmission line where the resistance of the above-mentioned 2nd resistance member 2b inserts a basic circuit it is -- generally a 50-ohm thing is selected.

[0048] In the unit circuit 30 constituted as mentioned above, if the electrical potential difference between equal electrical potential differences (for example, 3V) is impressed to the electrical potential difference of a power supply terminal 13, the resistance R_{ds} between the drain sources of two field effect transistors 1 will become the 3rd control terminal 12 from 0V with a complementary value mutually. That is, as for the resistance R_{ds2} between the drain sources of the field effect transistor 1 of the basic circuit of another side, the resistance R_{ds1} between the drain sources of the field-effect transistor 1 of one basic circuit serves as smallness at the adult time, and R_{ds2} becomes size when R_{ds1} is smallness. The matching conditions of this bridge T mold attenuator circuit are given by following type $R_{ds1} \times R_{ds2} = Z_o^2$. In the circuit of this operation gestalt, the magnitude of attenuation during I/O can be changed in the input of the single voltage signal for control, keeping matching during I/O good, since the upper type was materialized in approximation.

[0049] Furthermore, with this operation gestalt, since four gate electrodes are prepared in each field effect transistor, it is what connected the drain source of four FET to the serial substantially. For this reason, one fourth of the high-frequency power applied from the input will

be added between the drain sources of each field effect transistor. The electrical potential difference impressed between this drain source is a factor which determines the distorted property generated in an output. That is, although a larger distortion occurs when the electrical potential difference between the drain sources is large, distortion generated in an output is reduced in the semiconductor circuit for RF control of this operation gestalt.

[0050] In addition, although the number of the gate electrode arranged between the drain sources was made into four with this operation gestalt, it cannot be overemphasized that it improves, so that the power which can be switched has many gate numbers two or more.

[0051] (6th operation gestalt) Next, the 6th operation gestalt is explained, referring to drawing 6 . With this operation gestalt, since each element in each basic circuit is the same as the configuration of the basic circuit 8 in the operation gestalt of the above 1st, illustration of the sign of each element in each basic circuit is omitted.

[0052] As shown in drawing 6 , each 1st signal terminal 6 of the 1st and 2nd basic circuits 8 and 9 is connected to the 1st and 2nd input terminal 10a and 10b according to the individual. Moreover, each 2nd signal terminal 7 of each basic circuits 8 and 9 is connected to the common output terminal 11. And the 1st control terminal 3 of the 1st basic circuit 8 and the 2nd control terminal 4 of the 2nd basic circuit 9 are connected to the common 3rd control terminal 12. In addition, the 2nd control terminal 4 of the 1st basic circuit 8 is connected to a power supply terminal 13, and the 1st control terminal 3 of the 2nd basic circuit 9 is connected to the earth terminal.

[0053] Furthermore, the 3rd basic circuit 18 for a field effect transistor to miss a RF signal to an earth terminal at the time of OFF is attached to each above-mentioned basic circuits 8 and 9, respectively. In the 3rd basic circuit 18 attached to the 1st basic circuit 8, as in common [the 1st signal terminal 6] as the 1st signal terminal 6 of the 1st basic circuit 8, the 2nd signal terminal 7 is connected to an earth terminal at 1st input terminal 10a, and the 1st control terminal 3 is connected to the earth terminal at the 3rd control terminal 12, respectively as in common [the 2nd control terminal 4] as the 1st control terminal 3 of the 1st basic circuit 8. Moreover, in the 3rd basic circuit 18 attached to the 2nd basic circuit 9, as in common [the 1st signal terminal 6] as the 1st signal terminal 6 of the 2nd basic circuit 9, the 2nd signal terminal 7 is connected to the 3rd control terminal 12 at an earth terminal, and the 2nd control terminal is connected to the power supply terminal 13 at 2nd input terminal 10b, respectively as in common [the 1st control terminal 3] as the 2nd control terminal 4 of the 2nd basic circuit 9.

[0054] That is, the RF signal inputted through two input terminals 10a and 10b can be mixed, and it can be made to output through the single output terminal 11 with this operation gestalt by impressing a complementary control voltage signal to the field effect transistor of each basic circuits 8 and 9 through the single 3rd control terminal 12. That is, the unit circuit which has a mixed function by each basic circuits 8 and 9 is constituted. And since the 3rd basic circuit 18 is attached to each basic circuits 8 and 9, the field effect transistor in each basic circuit 8 and 9 can miss the RF signal at the time of OFF to an earth terminal side, and can demonstrate a high isolation property.

[0055] However, although the 3rd basic circuit 18 was attached to each basic circuits 8 and 9, respectively, you may make it attach the 3rd basic circuit 18 only to one basic circuit 8 (or 9) with the above-mentioned operation gestalt.

[0056] Moreover, although an operation gestalt is omitted, it cannot be overemphasized that the 3rd basic circuit 18 which has the configuration same in at least one basic circuit as the 3rd basic circuit 18 of this operation gestalt among the basic circuits 8 and 9 of the operation gestalt of the above 3rd, the 5th operation gestalt, or the 7th below-mentioned operation gestalt may be attached.

[0057] In addition, it can also be concluded that the circuit shown in drawing 6 combined two unit circuits 20 (however, the gate of the field effect transistor of the basic circuit 20 is a single gate mold) shown in the operation gestalt of the above 4th.

[0058] (7th operation gestalt) Next, the 7th operation gestalt is explained, referring to drawing 7 . The circuit in this operation gestalt combines the two 1st and 2nd unit circuits 20a and 20b which have the same configuration as the unit circuit 20 (refer to drawing 3) in the operation

gestalt of the above 3rd. As shown in drawing 7, one of output terminal 11a is connected to 3rd output terminal 14a in common among the output terminals 11a and 11b of each unit circuit, and output terminal 11b of another side is connected to 4th output terminal 14a in common among the output terminals 11a and 11b of each unit circuit. Moreover, the 3rd control terminal 12 of each unit circuits 20a and 20b is connected to the 4th control terminal 15 in common. That is, it is constituted so that the RF signal inputted into each input terminal 10 of each unit circuits 20a and 20b may be outputted by turns from each output terminals 14a and 14b with the voltage signal for control to the single 3rd control terminal 15. That is, the four-way-type change circuit is constituted by the combination of each above-mentioned unit circuits 20a and 20b.

[0059] (8th operation gestalt) Drawing 10 is the block diagram showing roughly the configuration of the circuit carried for example, in a dual mode cellular phone. In this circuit, each basic circuits 8 and 9 shown in drawing 3 are incorporated. That is, it connects so that four basic circuits 8a-8d where actuation is controlled by the signal to the 1st control terminal 3, and supply voltage VDD is impressed to the 2nd control terminal 4 by it, and the basic circuits 9a-9d which are four by which supply voltage is impressed to the 1st control terminal 3 by controlling actuation by the signal to the 2nd control terminal 4 may constitute a closed circuit by turns. And between each basic circuit, the 1st and 2nd two power amplification PA1 and PA2, the two 1st and 2nd low noise amplifier LNA1 and LNA2, and four antennas At1-At4 are interposed by arrangement relation as shown in this drawing. And each basic circuits 8a-8d and 9a-9d, as the signal to the single control signal terminal 16 shows in the following table of truth value according to supply voltage VDD and 0, it turns on and off.

[0060]

[Table 1]

制御 信号	基 本 回 路							
	8 a	9 a	8 b	9 b	8 c	9 c	8 d	9 d
0	オフ	オン	オフ	オン	オフ	オン	オフ	オン
VDD	オン	オフ	オン	オフ	オン	オフ	オン	オフ

In addition, for example, the transmitting section Ot2 of the 2nd power amplification PA 2 has the output power of 0.1W by the object for 1.9GHz bands, the transmitting section Ot1 of the 1st power amplification PA 1 has the output power of 1W by the object for 0.8GHz bands, and the receive section It2 of the 2nd low noise power amplification LNA2 is [the receive section It1 of the 1st low noise amplifier LNA1 is an object for 0.8GHz bands, and] an object for 1.9GHz.

[0061] There are the following examples as practical operation of such a circuit.

[0062] (Example 1) Transmission and reception use each antenna and a polarization diversity function is given. For example, the 1st and 3rd antenna At1 and At3 is made into horizontally-polarized-wave signals, and the 2nd and 4th antenna At2 and At4 is made into vertically-polarized-wave signals. The 1st antenna At is used to transmit a horizontally-polarized-wave signal from the 1st power amplification PA 1, and the 4th antenna At is used to transmit a vertically-polarized-wave signal. It is also the same as when transmitting from the 2nd power amplification PA 2, and it is also the same as when receiving in each low noise amplifier LNA1 and LNA2.

[0063] (Example 2) The antenna which transmits and receives each amplifier can be switched inside outside among each antenna by what an internal antenna and another side are used [the thing] as the external antenna for either. For example, the 1st antenna At1 and At3 can be used as an internal-organs HOIPPU antenna terminal, and the 2nd and 4th antenna At2 and At4 can be used as an external antenna terminal.

[0064]

[Effect of the Invention] As explained above, according to invention of claim 1, the basic circuit for constituting the semiconductor integrated circuit with which the control network was simplified can be offered.

[0065] According to claim 2 or invention of 10, reduction of distortion generated in an output can

be aimed at, and, therefore, increase of the electric energy which can be switched can be aimed at.

[0066] When according to invention of claim 3 two or more basic circuits are arranged and a semiconductor integrated circuit is constituted, simplification of a circumference circuit can be attained.

[0067] According to invention of claim 4, the connection during I/O and cutting can be controlled by the single control input, and, therefore, improvement in the isolation during I/O can be aimed at.

[0068] According to invention of claim 5, in the semiconductor integrated circuit which functions as a bridge T mold attenuator, the magnitude of attenuation during I/O can be changed by the single control input, and, therefore, simplification of a circumference circuit can be attained.

[0069] According to claims 6, 7, and 8 or invention of 9, with the single voltage signal for control, distribution of the RF signal between each basic circuit, mixing, a switch, etc. can be performed, and, therefore, simplification of the circumference circuit in a distributor etc. can be attained.

[Translation done.]

* NOTICES *

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the electrical diagram showing the configuration of the basic circuit in the semiconductor integrated circuit for RFs in the 1st operation gestalt.

[Drawing 2] It is the electrical diagram showing the configuration of the basic circuit in the semiconductor integrated circuit for RFs in the 2nd operation gestalt.

[Drawing 3] It is the electrical diagram showing the configuration of the unit circuit in the semiconductor integrated circuit for RFs in the 3rd operation gestalt.

[Drawing 4] It is the electrical diagram showing the configuration of the distribution circuit for RFs concerning the 4th operation gestalt.

[Drawing 5] It is the electrical diagram showing the configuration of the bridge T mold attenuator circuit concerning the 5th operation gestalt.

[Drawing 6] It is the electrical diagram showing the configuration of the mixing circuit for RFs concerning the 6th operation gestalt.

[Drawing 7] It is the electrical diagram showing the configuration of the four-way-type change circuit for RFs concerning the 7th operation gestalt.

[Drawing 8] It is the electrical diagram showing the configuration of the basic circuit in the conventional semiconductor integrated circuit for RFs.

[Drawing 9] It is the electrical diagram showing the configuration of the switching circuit which combined the basic circuit in the conventional semiconductor integrated circuit for high frequency.

[Drawing 10] It is the electrical diagram showing the configuration of the change circuit concerning the 8th operation gestalt.

[Description of Notations]

- 1 Field Effect Transistor
- 2a The 1st resistance member
- 2b The 2nd resistance member
- 2c The 3rd resistance member
- 3 1st Control Terminal
- 4 2nd Control Terminal
- 5a The 1st capacitor
- 5b The 2nd capacitor
- 6 1st Signal Terminal
- 7 2nd Signal Terminal
- 8 1st Basic Circuit
- 9 2nd Basic Circuit
- 10 Input Terminal
- 11 Output Terminal
- 12 3rd Control Terminal
- 13 Power Supply Terminal
- 14a The 3rd output terminal
- 14b The 4th output terminal

15 4th Control Terminal
18 3rd Basic Circuit
20 Unit Circuit

[Translation done.]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

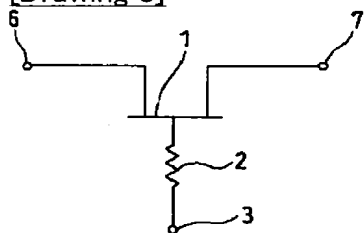
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

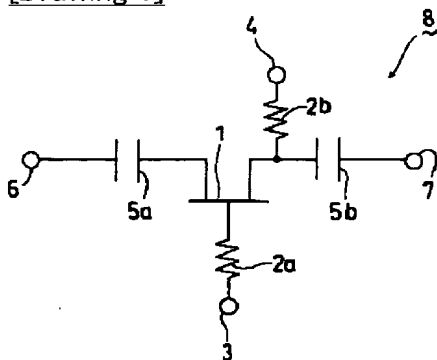
3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 8]

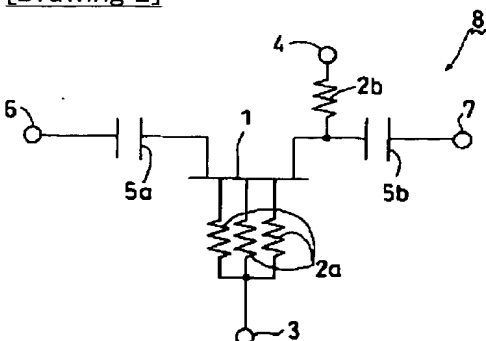


[Drawing 1]

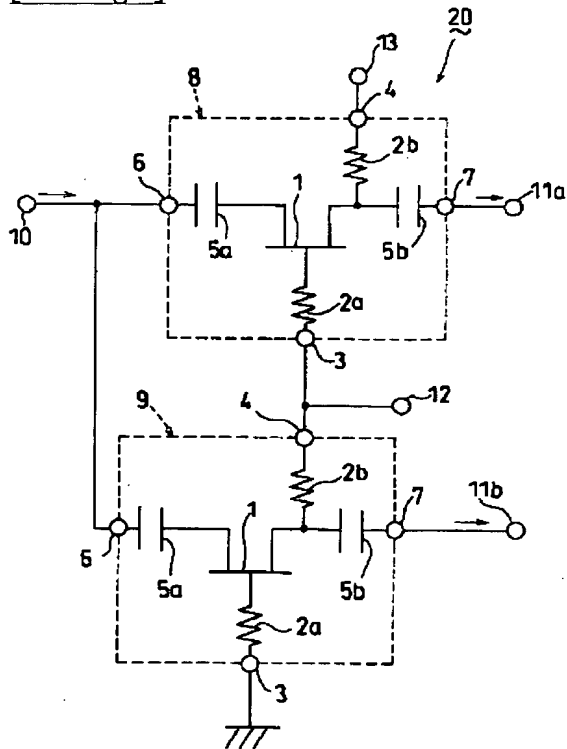


- 1・・・電界効果トランジスタ
- 2 a, 2 b・・・第1, 第2抵抗部材
- 3・・・第1制御端子
- 4・・・第2制御端子
- 5 a, 5 b・・・第1, 第2キャパシタ
- 6・・・第1信号端子
- 7・・・第2信号端子

[Drawing 2]

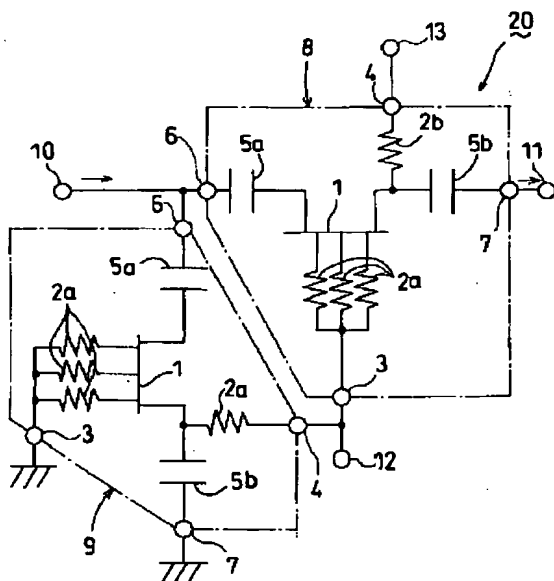


[Drawing 3]

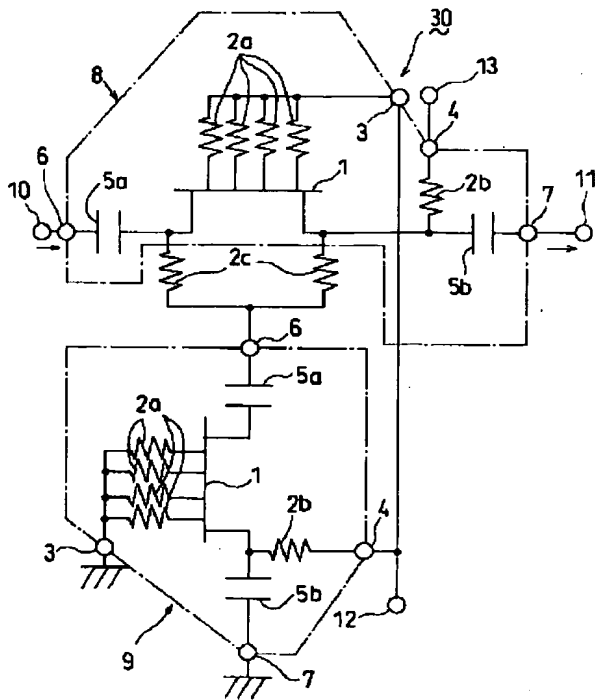


- 8 . . . 第1基本回路
 9 . . . 第2基本回路
 10 . . . 入力端子
 11 . . . 出力端子
 12 . . . 第3追加端子
 13 . . . 電源端子

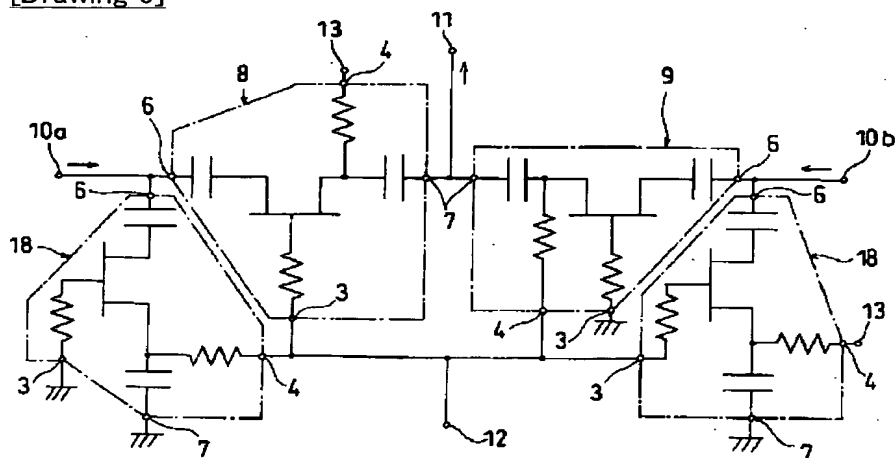
[Drawing 4]



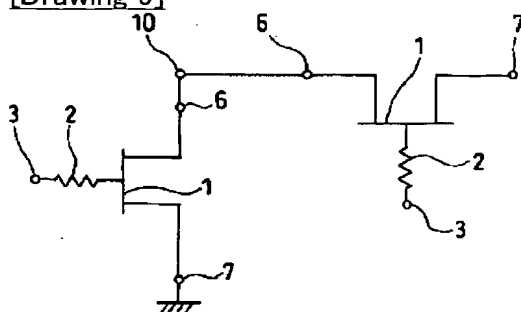
[Drawing 5]



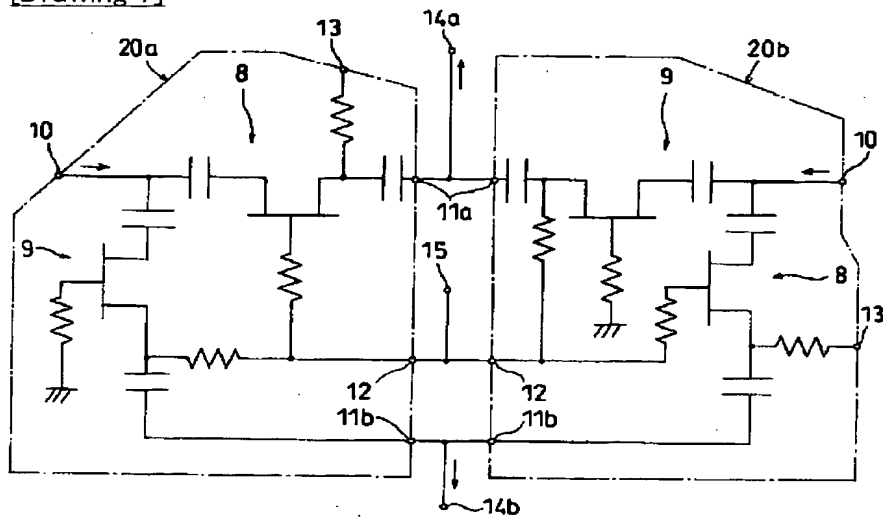
[Drawing 6]



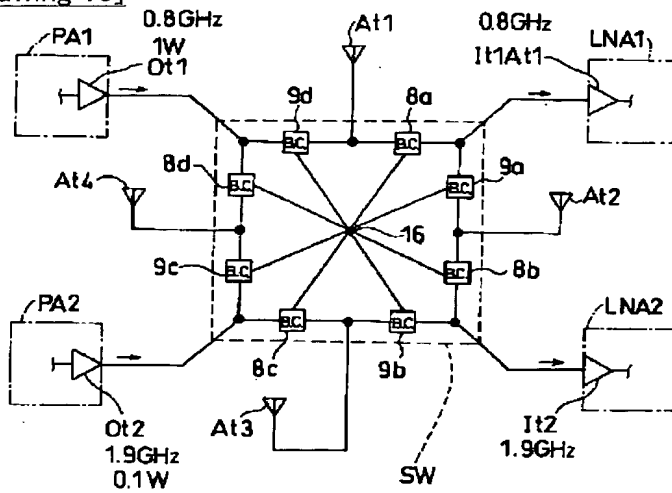
[Drawing 9]



[Drawing 7]



[Drawing 10]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-228138

(43) 公開日 平成8年(1996)9月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/687		9184-5K	H 0 3 K 17/687	G
H 0 3 H 11/24		8731-5J	H 0 3 H 11/24	B

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平7-321328

(22) 出願日 平成7年(1995)12月11日

(31) 優先権主張番号 特願平6-312880

(32) 優先日 平6(1994)12月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 宮辻 和郎

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 上田 大助

大阪府高槻市幸町1番1号 松下電子工業株式会社内

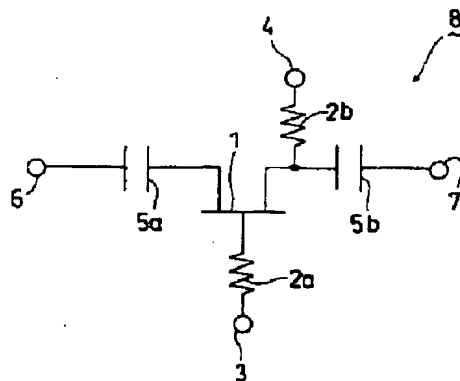
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 消費電力及び占有面積が小さく、切換え可能な電力が大きく、出力発生歪みが小さく、かつ周辺回路の簡素な高周波用半導体集積回路を提供する。

【構成】 電界効果型トランジスタのドレイン、ソースにそれぞれ第1、第2信号端子6、7を接続し、ゲートに第1制御端子3を接続し、ゲート-第1制御端子間に第1抵抗部材2aを介設し、ドレイン・ソース-第1、第2信号端子間にそれぞれキャパシタ5a、5bを介設し、ドレイン・ソースの少なくとも一方に第2抵抗部材2bを介して第2制御端子4を接続する。そして、第1信号端子6に入力される高周波信号を電界効果型トランジスタを経て第2信号端子7から出力し、高周波信号の伝達量を第1制御端子3と第2制御端子4との間に入力する制御用電圧信号によって制御する。



- 1・・・電界効果トランジスタ
- 2 a, 2 b・・・第1, 第2抵抗部材
- 3・・・第1制御端子
- 4・・・第2制御端子
- 5 a, 5 b・・・第1, 第2キャパシタ
- 6・・・第1信号端子
- 7・・・第2信号端子

【特許請求の範囲】

【請求項1】 高周波信号を伝達するための基本回路を有する半導体集積回路であって、

上記基本回路は、

ゲート、ソース及びドレインを有する電界効果型トランジスタと、

上記電界効果型トランジスタと電界効果型トランジスタの外部との間で高周波信号を入出力するための第1、第2信号端子と、

上記電界効果型トランジスタのソース・ドレインと上記各信号端子との間の配線中にそれぞれ介設され使用する周波数帯域におけるインピーダンスが線路インピーダンスより低いキャパシタ成分を少なくとも含む直流成分遮断部材と、

上記ゲートに接続される第1制御端子と、

上記ゲートー第1制御端子間に介設され、インピーダンスが線路インピーダンスより高い抵抗特性を有し第1制御端子への高周波信号の入力を阻止するための第1阻止部材と、

上記電界効果型トランジスタのソース・ドレインのうち少なくとも一方と直流成分遮断部材との間の配線に分岐配線を介して接続される第2制御端子と、

上記分岐配線中に介設されインピーダンスが線路インピーダンスより高い抵抗特性を有し第2制御端子への高周波信号の入力を阻止するための第2阻止部材とを備え、
上記基本回路の第1信号端子ー第2信号端子間における高周波信号の伝達量が上記第1制御端子と第2制御端子との間の制御用電圧信号によって制御されるように構成されていることを特徴とする半導体集積回路。

【請求項2】 請求項1記載の半導体集積回路において、

上記ゲート及び第1制御端子は、それぞれ複数の同数個だけ配置され、各ゲートー第1制御端子間にそれぞれ上記第1阻止部材が介設されていることを特徴とする半導体集積回路。

【請求項3】 請求項1記載の半導体集積回路において、

上記基本回路は複数個設けられており、

上記複数の基本回路のうち一部の基本回路の第1制御端子に接続され所定の電圧を供給するための第1電圧供給端子と、

上記複数の基本回路のうち他の基本回路の第2制御端子に接続され上記第1電圧供給端子が供給する電圧とは所定の電位差を有する電圧を供給するための第2電圧供給端子とをさらに備え、

上記一部の基本回路では、第1制御端子への信号により第1信号端子ー第2信号端子間の高周波信号の伝達量が制御される一方、

上記他の基本回路では、第2制御端子への信号により第1信号端子ー第2信号端子間の高周波信号の伝達量を制

御するように構成されていることを特徴とする半導体集積回路。

【請求項4】 請求項3記載の半導体集積回路において、

上記基本回路は2つ配設されており、

上記各基本回路の各第1信号端子に共通に接続される入力端子と、

上記各基本回路のうち一方の基本回路の第2信号端子に接続される出力端子と、

10 上記各基本回路のうち他方の基本回路の第2信号端子に接続される接地端子と、

上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに備え、

上記各基本回路により、スイッチとして機能する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項5】 請求項3記載の半導体集積回路において、

20 上記基本回路は2つ配設されており、

上記各基本回路の各第1信号端子に共通に接続される入力端子と、

上記各基本回路のうち一方の基本回路の第2信号端子に接続される出力端子と、

上記各基本回路のうち他方の基本回路の第2信号端子に接続される接地端子と、

上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子と、

30 上記各基本回路のうち一方の基本回路のソース及びドレインと上記各基本回路のうち他方の基本回路の第1信号端子との間にそれぞれ介設され相等しい抵抗値を有する2つの抵抗部材とをさらに備え、

上記各基本回路により、アテネータとして機能する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項6】 請求項3記載の半導体集積回路において、

40 上記基本回路は2つ配設されており、

上記各基本回路の各第1信号端子に共通に接続される入力端子と、

上記各基本回路の各第2信号端子に個別に接続される第1、第2出力端子と、

上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに備え、

50 上記各基本回路により、共通の入力端子を介して入力された高周波信号を上記第1、第2出力端子を介してそれ

ぞれ出力する信号分配機能を有する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項 7】 請求項 3 記載の半導体集積回路において、

上記基本回路は 2 つ配設されこれらを第 1、第 2 基本回路とし、

上記第 1、第 2 基本回路の各第 1 信号端子に個別に接続される第 1、第 2 入力端子と、

上記各基本回路の各第 2 信号端子に共通に接続される出力端子と、

上記各基本回路のうちいずれか一方の基本回路の第 1 制御端子と上記各基本回路のうち他方の基本回路の第 2 制御端子とに共通に接続され制御用電圧信号を入力するための第 3 制御端子とをさらに備え、

上記各基本回路により、上記第 1、第 2 入力端子を介して入力された高周波信号を共通の出力端子を介して出力する信号混合機能を有する単位回路が構成されていることを特徴とする半導体集積回路。

【請求項 8】 請求項 6 記載の半導体集積回路において、

上記 2 つの単位回路をそれぞれ第 1、第 2 単位回路とし、

上記各単位回路の上記第 1、第 2 出力端子のうちいずれか一方の出力端子同士に共通に接続される第 3 出力端子と、

上記各単位回路の上記第 1、第 2 出力端子のうち他方の出力端子同士に共通に接続される第 4 出力端子と、

上記各単位回路の各第 3 制御端子に共通に接続される第 4 制御端子とをさらに備え、

上記第 4 制御端子に入力される電圧信号により、各単位回路の各入力端子から入力される高周波信号が各単位回路の第 3、第 4 出力端子から交互に出力するよう切換えられるように構成されて、上記第 1、第 2 単位回路により、四方切換えスイッチが構成されていることを特徴とする半導体集積回路。

【請求項 9】 請求項 6、7 又は 8 記載の半導体集積回路において、

上記各基本回路のうち少なくとも 1 つの基本回路に、上記各基本回路と同じ構成を有する第 3 基本回路が付設されており、

上記第 3 基本回路の第 1 信号端子は、上記少なくとも 1 つの基本回路が属する単位回路の上記入力端子に接続され、

上記第 3 基本回路の第 2 信号端子は、接地端子に接続され、

上記第 3 基本回路が付設される基本回路の第 1 制御端子が第 3 制御端子に接続されている場合は、上記第 3 基本回路の第 2 制御端子が上記第 3 制御端子に接続されかつ第 3 基本回路の第 1 制御端子が上記第 1 電圧供給端子及び上記第 2 電圧供給端子のうちいずれか一方に接続され

る一方、

上記第 3 基本回路が付設される基本回路の第 2 制御端子が第 3 制御端子に接続されている場合は、上記第 3 基本回路の第 1 制御端子が上記第 3 制御端子に接続されかつ第 3 基本回路の第 2 制御端子が上記第 1 電圧供給端子及び上記第 2 電圧供給端子のうちいずれか一方に接続されることを特徴とする半導体集積回路。

【請求項 10】 請求項 3、4、5、6、7、8 又は 9 記載の半導体集積回路において、

10 上記各基本回路のうち少なくとも 1 つの基本回路では、上記ゲート及び第 1 制御端子がそれぞれ複数の同数個だけ配置され、各ゲートー第 1 制御端子間にそれぞれ上記第 1 阻止部材が介設されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、移動体通信機器、特に携帯電話等に用いられる高周波用半導体集積回路に関するものである。

20 【0002】

【従来の技術】近年、移動体通信分野の発展に伴い、携帯電話等のアンテナの送受信切換えやパワーアンプ入力レベル制御用に、小型、低消費電力の高周波用半導体スイッチ及び高周波用半導体可変アッテネータが望まれている。このようなスイッチ及びアッテネータに用いるデバイスとして、図 8 に示すような電界効果型トランジスタ (FET) を配置した基本回路が使用されている。

【0003】図 8 において、1 は GaAs 基板の一部に形成されゲート及びソース・ドレインを有するノーマリオン型の電界効果型トランジスタ、3 は制御端子、6 は第 1 信号端子、7 は第 2 信号端子である。つまり、制御端子 3 を介して電界効果型トランジスタ 1 のゲートに制御用電圧信号を印加し、制御用電圧信号の値を変えることで、第 1 信号端子 6 と第 2 信号端子 7 と間の高周波信号の伝達量を制御するようになされている。

【0004】また、図 9 は、上記図 8 に示す基本回路を 2 つ配置し、各基本回路の第 1 信号端子を共通の入力端子 10 に接続し、一方の基本回路の第 2 信号端子 7 を出力端子とし、他方の基本回路の第 2 信号端子 7 を接地端子に接続した回路の構成を示す。このような回路では、各基本回路の各制御端子 3 に相補的な制御電圧信号を入力することで、各基本回路における信号の伝達量が相補的に制御される。したがって、出力端子に高周波信号を伝達する側の基本回路の電界効果型トランジスタのオフ時における高周波信号が接地端子側に逃がされることで、特に高いアイソレーションを発揮することができる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の基本回路を組み合わせ、図 9 に示すような回路を

構成しようとする、下記のような問題があった。

【0006】すなわち、図9について説明したように、スイッチ等の高周波制御回路は、図8に示す基本回路をユニットとし、この基本回路の入出力間、入力・接地間あるいは出力・接地間に他の基本回路を挿入して構成するが、この場合には、相補的な制御用電圧信号を入力するための2系統の制御端子が必要である。例えば図9に示す回路では、各基本回路の各制御端子3にそれぞれ相補的な制御電圧信号を供給するための2系統の制御回路が必要となる。このため、制御端子が常に2つ必要となるだけでなく、この高周波制御回路を駆動するための周辺回路も複雑なものになる。また、説明は省略するが、上記図8に示す単位回路を組み合わせるブリッジT型アッテネータを構成する際にも、相補的な2つの制御信号を入力する2つの制御系統が必要となり、同様の問題を生じていた。

【0007】さらに、付随する問題として、入力する高周波信号の電力が大きい場合、入出力間におけるリニア特性が崩れ、出力に発生する歪が大きくなる虞があった。したがって、図8に示す基本回路や図9に示す基本回路を組み合わせる回路をスイッチやアッテネータとして使用する場合には、使用可能な電力が制限されるという問題があった。

【0008】本発明は斯かる各問題点を鑑みてなされたものであり、その第1の目的は、スイッチ、アッテネータに必要な基本回路の構造を改善することにより、駆動回路等の周辺回路の構造の簡素化が可能な高周波制御用半導体集積回路を提供することにある。

【0009】また、第2の目的は、上述のような構造が簡素化された高周波制御用半導体集積回路における入出力間の歪みを低減することにある。

【0010】

【課題を解決するための手段】上記第1の目的を達成するために本発明が講じた解決手段は、基本回路における第1信号端子及び第2信号端子と電界効果型トランジスタのソース・ドレインとの間における直流信号の伝達を阻止する手段を講ずるとともに、電界効果型トランジスタの制御をゲート・ソース・ドレイン間の電圧によって制御する構成とすることにある。

【0011】また、上記第2の目的を達成するために本発明が講じた手段は、基本回路における電界効果型トランジスタのゲートを複数のゲートで構成することにある。

【0012】具体的に、本発明に係る第1の半導体集積回路は、請求項1に記載されるように、高周波信号を伝達するための基本回路を有する半導体集積回路であって、上記基本回路に、ゲート、ソース及びドレインを有する電界効果型トランジスタと、上記電界効果型トランジスタと電界効果型トランジスタの外部との間で高周波信号を入出力するための第1、第2信号端子と、上記電

界効果型トランジスタのソース・ドレインと上記各信号端子との間の配線中にそれぞれ介設され使用する周波数帯域におけるインピーダンスが線路インピーダンスより低いキャパシタ成分を少なくとも含む直流成分遮断部材と、上記ゲートに接続される第1制御端子と、上記ゲート・第1制御端子間に介設され、インピーダンスが線路インピーダンスより高い抵抗特性を有し第1制御端子への高周波信号の入力を阻止するための第1阻止部材と、上記電界効果型トランジスタのソース・ドレインのうち少なくとも一方と直流成分遮断部材との間の配線に分岐配線を介して接続される第2制御端子と、上記分岐配線中に介設されインピーダンスが線路インピーダンスより高い抵抗特性を有し第2制御端子への高周波信号の入力を阻止するための第2阻止部材とを設ける。そして、上記基本回路の第1信号端子・第2信号端子間における高周波信号の伝達量が上記第1制御端子と第2制御端子との間の制御用電圧信号によって制御されるように構成したものである。

【0013】この構成により、第1信号又は第2信号端子に高周波信号が入力されると、第1信号端子と第2信号端子との間に介設される電界効果型トランジスタのゲート・ソース・ドレイン間に印加される制御用電圧信号によって、高周波信号の伝達量が制御される。その場合、ゲートとソース・ドレインとにそれぞれ個別に第1、第2制御端子が接続されているので、この基本回路を複数個組み合わせた場合に、一方の基本回路の第1制御端子と他方の基本回路の第2制御端子とを共通に接続することが可能となる。そして、電界効果型トランジスタのソース・ドレインと第1、第2信号端子との間はキャパシタ成分を含む直流成分遮断部材が介設されているので、各基本回路を組み合わせても、各信号端子の電位は独立しており互いに影響を及ぼし合うことがない。したがって、ある基本回路の第1制御端子と他の基本回路の第2制御端子とに共通の制御用電圧信号を供給して、各基本回路の動作を制御することが可能となる。また、各阻止部材により、各信号端子や電界効果型トランジスタの各部から各制御端子への高周波信号の流入が阻止されているので、高周波信号が第1信号端子・第2信号端子間の経路以外の経路に流入することはない。すなわち、この基本回路を組み合わせる、端子数の少ない制御系統の簡素化された半導体集積回路を構成することが可能となる。

【0014】請求項2に記載されるように、上記第1の半導体集積回路において、上記ゲート及び第1制御端子をそれぞれ複数の同数個だけ配置し、各ゲート・第1制御端子間にそれぞれ上記第1阻止部材を介設することができる。

【0015】このように、複数のゲートを持つ電界効果型トランジスタを用いることにより、複数の電界効果型トランジスタのドレイン・ソースを直列に接続したこと

となり、実質的に各電界効果型トランジスタのドレイン・ソース間に加わる高周波電圧がゲートの本数により分圧されて小さくなるために、切換え可能電力が向上し、出力に発生する歪みが小さくなる。

【0016】本発明に係る第2の半導体集積回路は、請求項3に記載されるように、上記基本回路を複数個設け、上記複数の基本回路のうち一部の基本回路の第1制御端子に接続され所定の電圧を供給するための第1電圧供給端子と、上記複数の基本回路のうち他の基本回路の第2制御端子に接続され上記第1電圧供給端子が供給する電圧とは所定の電位差を有する電圧を供給するための第2電圧供給端子とをさらに設け、上記一部の基本回路では、第1制御端子への信号により第1信号端子-第2信号端子間の高周波信号の伝達量が制御される一方、上記他の基本回路では、第2制御端子への信号により第1信号端子-第2信号端子間の高周波信号の伝達量を制御するように構成する。

【0017】この構成により、複数の基本回路において、第1電圧と第2電圧との間で変化する制御用電圧信号を各基本回路の第1制御端子又は第2制御端子に入力することで、各基本回路の高周波信号の伝達量が関連をもって制御される。したがって、各基本回路を種々に組み合わせても、制御系統や端子数が簡素化されることになる。

【0018】請求項4に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設し、上記各基本回路の各第1信号端子に共通に接続される入力端子と、上記各基本回路のうち一方の基本回路の第2信号端子に接続される出力端子と、上記各基本回路のうち他方の基本回路の第2信号端子に接続される接地端子と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに設け、上記各基本回路により、スイッチとして機能する単位回路を構成することができる。

【0019】この構成により、単一の第3制御端子を介して供給される制御用電圧信号によって、各基本回路のうちの一方の基本回路を介して出力端子に伝達される高周波信号と、他方の基本回路を介して接地端子に逃される高周波信号との伝達量が相補的に制御される。したがって、第1、第2基本回路を組み合わせ、制御系統が簡素でかつ入出力間のアイソレーションの高い単位回路が構成されることになる。

【0020】請求項5に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設し、上記各基本回路の各第1信号端子に共通に接続される入力端子と、上記各基本回路のうち一方の基本回路の第2信号端子に接続される出力端子と、上記各基本回路のうち他方の基本回路の第2信号端子に接続される接地端子

と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子と、上記各基本回路のうち一方の基本回路のソース及びドレインと上記各基本回路のうち他方の基本回路の第1信号端子との間にそれぞれ介設され相等しい抵抗値を有する2つの抵抗部材とをさらに設け、上記各基本回路により、アテネータとして機能する単位回路を構成することができる。

10 【0021】この構成により、単位回路がブリッジT型アッテネータ回路となり、各入出力間のマッチング条件が良好に保持されるとともに、単一の制御用電圧信号により入出力間の減衰量が変化する。したがって、制御系統が簡素化され、かつ高周波信号の減衰機能の優れたアッテネータが構成されることになる。

【0022】請求項6に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設し、上記各基本回路の各第1信号端子に共通に接続される入力端子と、上記各基本回路の各第2信号端子に個別に接続される第1、第2出力端子と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに設け、上記各基本回路により、共通の入力端子を介して入力された高周波信号を上記第1、第2出力端子を介してそれぞれ出力する信号分配機能を有する単位回路を構成することができる。

【0023】また、請求項7に記載されるように、上記第2の半導体集積回路において、上記基本回路を2つ配設してこれらを第1、第2基本回路とし、上記第1、第2基本回路の各第1信号端子に個別に接続される第1、第2入力端子と、上記各基本回路の各第2信号端子に共通に接続される出力端子と、上記各基本回路のうちいずれか一方の基本回路の第1制御端子と上記各基本回路のうち他方の基本回路の第2制御端子とに共通に接続され制御用電圧信号を入力するための第3制御端子とをさらに設け、上記各基本回路により、上記第1、第2入力端子を介して入力された高周波信号を共通の出力端子を介して出力する信号混合機能を有する単位回路を構成することができる。

【0024】また、請求項8に記載されるように、上記第2の半導体集積回路において、上記2つの単位回路を第1、第2単位回路として、上記各単位回路の上記第1、第2出力端子のうちいずれか一方の出力端子同士に共通に接続される第3出力端子と、上記各単位回路の上記第1、第2出力端子のうち他方の出力端子同士に共通に接続される第4出力端子と、上記各単位回路の各第3制御端子に共通に接続される第4制御端子とをさらに設け、上記第4制御端子に入力される電圧信号により、各単位回路の各入力端子から入力される高周波信号が各単

位回路の第3、第4出力端子から交互に出力するよう切換えられるように構成し、上記第1、第2単位回路により、四方切換えスイッチを構成することができる。

【0025】請求項9に記載されるように、上記第2の半導体集積回路において、上記各基本回路のうち少なくとも1つの基本回路に、上記各基本回路と同じ構成を有する第3基本回路を付設し、上記第3基本回路の第1信号端子を、上記少なくとも1つの基本回路が属する単位回路の上記入力端子に接続し、上記第3基本回路の第2信号端子を接地端子に接続し、上記第3基本回路が付設される基本回路の第1制御端子が第3制御端子に接続されている場合は、上記第3基本回路の第2制御端子を上記第3制御端子に接続しかつ第3基本回路の第1制御端子を上記第1電圧供給端子及び上記第2電圧供給端子のうちいずれか一方に接続する一方、上記第3基本回路が付設される基本回路の第2制御端子が第3制御端子に接続されている場合は、上記第3基本回路の第1制御端子を上記第3制御端子に接続しかつ第3基本回路の第2制御端子を上記第1電圧供給端子及び上記第2電圧供給端子のうちいずれか一方に接続する構成とすることができる。

【0026】上記請求項6～9の構成により、各基本回路間の高周波信号の分配、混合、切り換え等が行われる。したがって、制御系統が簡素化された分配器等が構成されることになる。

【0027】請求項10に記載されるように、上記各半導体集積回路において、上記各基本回路のうち少なくとも1つの基本回路に、上記ゲート及び第1制御端子をそれぞれ複数の同数個だけ配置し、各ゲートー第1制御端子間にそれぞれ上記第1阻止部材を介設する構成とすることができる。

【0028】この構成により、請求項2の発明と同様の作用が得られる。

【0029】

【発明の実施形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0030】(第1の実施形態) まず、第1の実施形態について図面を参照しながら説明する。図1は本発明の第1の実施形態に係る半導体集積回路内の基本回路8の構成を示す電気回路図である。この基本回路8は、ゲート、ソース及びドレインを有する電界効果型トランジスタ1と、高周波信号の伝達を阻止する第1、第2阻止部材としての第1、第2抵抗部材2a、2bと、第1、第2制御端子3、4と、直流成分遮断部材として機能する第1、第2キャパシタ5a、5bと、第1、第2信号端子6、7とを組み合わせる構成されている。電界効果型トランジスタ1は、例えばゲート長 $1\mu\text{m}$ 、ゲート幅 1mm であり、ピンチオフ電圧が -2V のノーマリ・オン型である。この電界効果型トランジスタ1のゲートは第1抵抗部材2aを介して第1制御端子3に接続されてい

る。また、ソースは第2抵抗部材2bを介して第2制御端子4に接続されている。これらの各抵抗部材2a、2bの抵抗値は線路インピーダンスよりも十分大きく、例えば $2\text{K}\Omega$ のものが選定される。電界効果型トランジスタ1のドレインは、第1キャパシタ5aを介して第1信号端子6に接続され、ソースは第2キャパシタ5bを介して第2信号端子7に接続されている。各キャパシタ5a、5bは数 100MHz ～数 GHz での伝送損失が十分小さくなるように、例えば各々 50pF のものが選定される。このキャパシタ5a、5bは、FET、抵抗部材等とともに、共通のGaAs基板上に、高誘電性材料であるBST(チタン酸バリウム・ストロンチウム、誘電率: $200\sim300$)からなる絶縁膜を堆積し、これをパターンニングすることにより形成される。BST膜の膜厚を 200nm 程度とすれば、キャパシタ5a、5bの単位面積あたりの容量は $100\text{pF}/100\mu\text{m}^2$ となり、図1に示す基本回路8は 0.5mm^2 程度のGaAs基板上に収納できる。すなわち、この基本回路8の占有面積は小さくて済む。

【0031】次に、本実施形態の半導体集積回路の動作について説明する。電界効果型トランジスタ1のドレイン・ソース間抵抗は、ソースに対して負となるゲートに印加された電圧によって変化する。このため、第2制御端子4に対して第1制御端子3が負となるように制御用電圧信号を印加することにより、第1信号端子6と第2信号端子7の間の高周波信号の伝達量を制御することができる。電界効果型トランジスタ1のドレイン・ソースは、第1、第2信号端子6、7からキャパシタ5a、5bによって直流的に切り離されている。このため、本実施形態の回路を単位として複数個組み合わせる高周波制御回路を構成する場合、各基本回路の電界効果型トランジスタには、他の基本回路に加えられた制御用電圧信号の影響を受けることなく、各々独立に制御用電圧信号を加えることができる。

【0032】なお、上記第1の実施形態及び以下の各実施形態に示す基本回路において、基本回路内の電界効果型トランジスタは、ノーマリ・オフ型であってもよい。その場合、ゲートに接続される第1制御端子3の電位が第2制御端子4の電位よりも高くなる制御用電圧信号を印加すればよい。

【0033】また、上記第1の実施形態では、高周波信号を伝達を阻止する第1、第2阻止部材として第1、第2抵抗部材2a、2bを配設したが、各阻止部材として用いることができる要素はかかる抵抗部材に限定されるものではない。したがって、上記第1の実施形態及び以下の各実施形態に示す各基本回路内の抵抗部材の代わりに、ダイオード等の抵抗特性を有する部材を使用することができる。

【0034】さらに、上記第1の実施形態では、直流成分遮断部材として第1、第2キャパシタ5a、5bを設

けたが、直流成分遮断部材として用いることができる部材はキャパシタに限定されるものではない。例えばP I Nダイオードは、キャパシタ成分を含むので、これをキャパシタ 5 a、5 b の代わりに配設しても、直流成分を遮断することができ、上記第 1 の実施形態と同様の効果を発揮することができる。

【0035】(第 2 の実施形態) 次に、本発明の第 2 の実施形態について説明する。図 2 は第 2 の実施形態に係る半導体集積回路内の基本回路の構成を示す電気回路図である。本実施形態では、上記第 1 の実施形態における構成に比べ、電界効果型トランジスタ 1 には 3 つのゲート電極が設けられ、各ゲート電極と第 1 制御端子 3 との間に各々第 1 抵抗部材 2 a が介設されている点のみが異なる。その他の構成は、上記第 1 の実施形態と同様である。この 3 つの第 1 抵抗部材 2 a 及び第 2 抵抗部材 2 b の抵抗値はの実施形態 1 と同様に線路インピーダンスよりも十分大きく、例えば 2 K Ω のものが選定される。各キャパシタ 5 a、5 b は数 100 MHz \sim 数 GHz での伝送損失が十分小さくなるように、例えば各々 50 pF のものが選定される。

【0036】次に、本実施形態の半導体集積回路の動作について説明する。基本的な動作はの実施形態 1 と同様であり、第 1 信号端子 6 及び第 2 信号端子 7 の直流的な電位とは独立に、第 1 制御端子 3 の第 2 制御端子 4 に対する負の電位差によって高周波信号の伝達量を制御することができる。

【0037】本実施形態では、電界効果型トランジスタ 1 としてドレイン・ソース間に 3 本のゲート電極を配置したものをを用いている。これは、3 個の電界効果型トランジスタの各ドレイン・ソースを直列に接続したものと同等である。このため、実質的にドレイン・ソース間に加わる高周波電圧はゲートの本数(本実施形態では 3)分の 1 に分割される。ドレイン・ソース間の電圧が大きいと、ドレイン・ソース間抵抗の非線形性が増大するが、このような複数のゲートを持つ電界効果型トランジスタを用いることにより、出力に発生する歪みは低減される。また、各ゲートはそれぞれ第 1 抵抗部材 2 a を介して第 1 制御端子 3 に接続されている。このため、各ゲートの電圧は信号端子に入力された高周波信号に追従して変化し、ゲート・ソース間の電位差の変動が抑えられ、歪みの発生がさらに低減される。

【0038】なお、後述の第 3 の実施形態、第 6 の実施形態及び第 7 の実施形態においても、各基本回路中の電界効果型トランジスタのゲートを複数個設ける構成としてもよい。ただし、すべての基本回路中のゲートを同じ構成とする必要はなく、各基本回路でゲートの個数が異なってもよい。

【0039】(第 3 の実施形態) 次に、第 3 の実施形態について説明する。図 3 は、第 3 の実施形態に係る半導体集積回路内の単位回路 20 の構成を示す電気回路図で

ある。本実施形態における単位回路 20 は、上記第 1 の実施形態における基本回路 8 と同じ構成を有する第 1、第 2 基本回路 8、9 を 2 個組み合わせで構成されている。そして、第 1、第 2 基本回路 8、9 の各第 1 信号端子 6 が共通の入力端子 10 に接続されている。また、第 1、第 2 基本回路 8、9 の各第 2 信号端子 7 が個別に第 1、第 2 出力端子 11 a、11 b に接続されている。さらに、第 1 基本回路 8 の第 1 制御端子 3 と第 2 基本回路 9 の第 2 制御端子 4 とが共通の第 3 制御端子 12 に接続されている。第 2 基本回路の第 1 制御端子 3 は接地端子に接続されており、第 1 基本回路の第 2 制御端子 4 は電源端子 13 に接続されている。

【0040】次に、本実施形態における半導体集積回路の動作について説明する。電源端子 13 の電位を V_{dd}、第 3 の制御端子 12 の電位を V_c、第 1 基本回路 8 の電界効果型トランジスタのゲート・ソース間電圧を V_{gs1}、第 2 基本回路 9 の電界効果型トランジスタのゲート・ソース間電圧を V_{gs2} とすると、下記 2 式の関係

$$V_{gs1} = -V_c$$

$$V_{gs2} = V_c - V_{dd}$$

が得られる。よって、下記式

$$|V_{gs1}| + |V_{gs2}| = V_{dd}$$

が得られ、2 つの基本回路 8、9 の各電界効果型トランジスタ 1 には互いに相補的な制御用電圧信号が加わることとなる。

【0041】つまり、本実施形態における回路では、第 3 制御端子 12 を介して入力される単一の制御入力によって、入力端子 10 に加えられた高周波信号を各基本回路 8、9 の 2 つの出力端子 11 a、11 b に振り分けることができる。これは、2 つの基本回路の第 1 信号入力を高周波的には接続しているが、キャパシタによって直流的には切り離しているために可能となったものである。このような構成により、制御用電圧信号入力のために必要な周辺回路の構成が簡素化される。なお、上記電源端子及び接地端子は、所定の電位差を有する 2 つの電圧をそれぞれ供給する電圧供給端子であればよい。

【0042】(第 4 の実施形態) 次に、第 4 の実施形態について説明する。図 4 は第 4 の実施形態に係る半導体集積回路内の単位回路 20 の構成を示す電気回路図である。本実施形態の半導体集積回路の単位回路 20 は、第 2 の実施形態における基本回路 8 と同じ構成を有する第 1、第 2 基本回路 8、9 を組み合わせ、入力端子 10 と出力端子 11 の間の高周波信号の伝達を第 3 制御端子 12 への制御用電圧信号のみによりオン・オフするスイッチである。

【0043】図 4 に示すように、第 2 基本回路 9 の第 1 制御端子 3 及び第 2 信号端子 7 は接地端子に接続されており、第 2 基本回路 9 の第 1 信号端子 6 は基本回路 8 の第 1 信号端子 6 と共通の入力端子 10 に接続され、第 2 基本回路 9 の第 2 制御端子 4 は基本回路 8 の第 1 制御端

10

30

40

50

子 3 と共通の第 3 制御端子 1 2 に接続されている。そして、第 1 基本回路 8 の第 2 制御端子 4 には電源端子 1 3 を介して所定の電圧が供給される。ただし、本実施形態では、第 2 基本回路 9 の第 1 制御端子 3 は接地端子に接続されているが、第 1 制御端子 3 は必ずしも接地端子に接続されている必要はなく、第 1 電圧供給端子である電源端子 1 3 から供給される電圧と所定の電位差を有する電圧を供給する他の電圧供給端子に接続されてい

ればよい。すなわち、図 4 に示す単位回路 2 0 の構成は、第 2 電圧供給端子が接地端子である一例を示すに過ぎない。

【0044】このような構成により、入力端子 1 0 と出力端子 1 1 の間がオフのときに、入力端子 1 0 から入力された高周波信号を接地端子側に逃がすことができ、入出力間のアイソレーションの向上を図ることができる。

【0045】以上のように、本実施形態の半導体集積回路は単一の制御用電圧信号によって、入出力間の高周波信号の伝達をオン・オフすることができるので、周辺回路の簡素化を図ることができる。また、電界効果型トランジスタとしてドレイン・ソース間にゲート電極を 3 本持つものを用いているために、出力に発生する歪が低減され、切換え可能な電力が向上している。

【0046】(第 5 の実施形態) 次に、第 5 の実施形態について説明する。図 5 は、第 5 の実施形態に係る半導体集積回路の単位回路 3 0 の構成を示す電気回路図である。本実施形態では、電界効果型トランジスタをゲート・ソース間電圧で制御される可変抵抗として用いており、ブリッジ T 型アッテネータ回路を構成している。

【0047】本実施形態における基本回路は、第 2 の実施形態における基本回路 8 と基本的に同じ構成を有する 2 つの第 1、第 2 基本回路 8、9 を組み合わせて構成されている。ただし、本実施形態では、各基本回路 8、9 において、ソース・ドレイン間に 4 つのゲート電極を設け、各ゲート電極を各々 4 つの第 1 抵抗部材 2 a を介して共通の電源端子 1 3 又は接地端子に接続するようにしている。また、第 2 基本回路 9 の第 1 信号端子 6 と第 1 基本回路 8 のソース・ドレインとの間には、互いに同じ抵抗値を有する第 3 抵抗部材 2 c を介して接続されている。また、第 2 基本回路 9 の第 1 制御端子 3 及び第 2 信号端子 7 は接地端子に接続されており、第 2 基本回路 9 の第 2 制御端子 4 は基本回路 8 の第 1 制御端子 3 と共通の第 3 制御端子 1 2 に接続されている。また、第 1 基本回路 8 の第 2 制御端子 4 は電源端子 1 3 に接続されている。ただし、本実施形態では、第 2 基本回路 9 の第 1 制御端子 3 は接地端子に接続されているが、第 1 制御端子 3 は必ずしも接地端子に接続されている必要はなく、第 1 電圧供給端子である電源端子 1 3 から供給される電圧と所定の電位差を有する電圧を供給する他の電圧供給端子に接続されてい

ればよい。すなわち、図 4 に示す単位回路 2 0 の構成は、第 2 電圧供給端子が接地端子である一例を示すに過ぎない。なお、上記第 2 抵抗部材 2 b の

抵抗値は、基本回路を挿入する伝送線路の特性インピーダンスの値 Z_0 であり、一般には 50Ω のものが選定される。

【0048】以上のように構成された単位回路 3 0 では、第 3 制御端子 1 2 に 0 V から電源端子 1 3 の電圧に等しい電圧 (例えば 3 V) の間の電圧を印加すると、2 つの電界効果型トランジスタ 1 のドレイン・ソース間抵抗 R_{ds} は互いに相補的な値となる。つまり、一方の基本回路の電界効果型トランジスタ 1 のドレイン・ソース間抵抗 R_{ds1} が大のとき、他方の基本回路の電界効果型トランジスタ 1 のドレイン・ソース間抵抗 R_{ds2} は小となり、 R_{ds1} が小のとき R_{ds2} は大となる。このブリッジ T 型アッテネータ回路のマッチング条件は、下記式 $R_{ds1} \times R_{ds2} = Z_0^2$

で与えられる。本実施形態の回路では、上式が近似的に成立するので、入出力間のマッチングを良好に保ったまま、単一の制御用電圧信号の入力で入出力間の減衰量を変化させることができる。

【0049】さらに、本実施形態では、各電界効果型トランジスタに 4 つのゲート電極が設けられているので、実質的に 4 個の FET のドレイン・ソースを直列に接続したものとなっている。このため、入力から加えられた高周波電力の $1/4$ がそれぞれの電界効果型トランジスタのドレイン・ソース間に加わることとなる。このドレイン・ソース間に印加される電圧は出力に発生する歪特性を決める要因である。即ち、ドレイン・ソース間電圧が大きい場合、より大きい歪みが発生するが、本実施形態の高周波制御用半導体回路では出力に発生する歪みが低減される。

【0050】なお、本実施形態では、ドレイン・ソース間に配置するゲート電極の本数を 4 本としたが、切換え可能な電力はゲート本数が 2 本以上で多いほど向上することは言うまでもない。

【0051】(第 6 の実施形態) 次に、第 6 の実施形態について、図 6 を参照しながら説明する。本実施形態では、各基本回路内の各要素は、上記第 1 の実施形態における基本回路 8 の構成と同じであるため、各基本回路内の各要素の符号の図示は省略する。

【0052】図 6 に示すように、第 1、第 2 基本回路 8、9 の各第 1 信号端子 6 は個別に第 1、第 2 入力端子 1 0 a、1 0 b に接続されている。また、各基本回路 8、9 の各第 2 信号端子 7 は共通の出力端子 1 1 に接続されている。そして、第 1 基本回路 8 の第 1 制御端子 3 及び第 2 基本回路 9 の第 2 制御端子 4 は、共通の第 3 制御端子 1 2 に接続されている。なお、第 1 基本回路 8 の第 2 制御端子 4 は電源端子 1 3 に接続され、第 2 基本回路 9 の第 1 制御端子 3 は接地端子に接続されている。

【0053】さらに、上記各基本回路 8、9 には、電界効果型トランジスタがオフ時に高周波信号を接地端子に逃がすための第 3 基本回路 1 8 がそれぞれ付設されてい

る。第1基本回路8に付設される第3基本回路18において、第1信号端子6は第1基本回路8の第1信号端子6と共通に第1入力端子10aに、第2信号端子7は接地端子に、第1制御端子3は接地端子に、第2制御端子4は第1基本回路8の第1制御端子3と共通に第3制御端子12にそれぞれ接続されている。また、第2基本回路9に付設される第3基本回路18において、第1信号端子6は第2基本回路9の第1信号端子6と共通に第2入力端子10bに、第2信号端子7は接地端子に、第1制御端子3は第2基本回路9の第2制御端子4と共通に第3制御端子12に、第2制御端子は電源端子13にそれぞれ接続されている。

【0054】すなわち、本実施形態では、単一の第3制御端子12を介して各基本回路8、9の電界効果型トランジスタに相補的な制御電圧信号を印加することにより、2つの入力端子10a、10bを介して入力される高周波信号を混合して単一の出力端子11を介して出力させることができる。つまり、各基本回路8、9により混合機能を有する単位回路が構成されている。しかも、各基本回路8、9に第3基本回路18が付設されているので、各基本回路8、9内の電界効果型トランジスタがオフ時における高周波信号を接地端子側に逃がすことができ、高いアイソレーション特性を発揮することができる。

【0055】ただし、上記実施形態では、各基本回路8、9にそれぞれ第3基本回路18を付設したが、一方の基本回路8（又は9）にのみ第3基本回路18を付設するようにしてもよい。

【0056】また、実施形態は省略するが、上記第3の実施形態、第5の実施形態あるいは後述の第7の実施形態の基本回路8、9のうち少なくとも1つの基本回路に本実施形態の第3基本回路18と同様の構成を有する第3基本回路18を付設してもよいことはいうまでもない。

【0057】なお、図6に示す回路は、上記第4の実施形態に示す単位回路20（ただし、基本回路20の電界効果型トランジスタのゲートは単一ゲート型であるが）

を2つ組み合わせたものとみることでもある。

【0058】（第7の実施形態）次に、第7の実施形態について、図7を参照しながら説明する。本実施形態における回路は、上記第3の実施形態における単位回路20（図3参照）と同じ構成を有する第1、第2単位回路20a、20bを2つ組み合わせたものである。図7に示すように、各単位回路の出力端子11a、11bのうちいずれか一方の出力端子11a同士が共通に第3出力端子14aに接続され、各単位回路の出力端子11a、11bのうち他方の出力端子11b同士が共通に第4出力端子14bに接続されている。また、各単位回路20a、20bの第3制御端子12が共通に第4制御端子15に接続されている。すなわち、各単位回路20a、20bの各入力端子10に入力される高周波信号を、単一の第3制御端子15への制御用電圧信号によって、各出力端子14a、14bから交互に出力するよう構成されている。つまり、上記各単位回路20a、20bの組み合わせにより、四方切換え回路が構成されている。

【0059】（第8の実施形態）図10は、例えばデュアルモード携帯電話に搭載される回路の構成を概略的に示すブロック図である。この回路内には、図3に示す各基本回路8、9が組み込まれている。すなわち、第1制御端子3への信号によって動作が制御され第2制御端子4には電源電圧VDDが印加される4つの基本回路8a～8dと、第2制御端子4への信号によって動作が制御され第1制御端子3には電源電圧が印加される4つの基本回路9a～9dとが交互に閉回路を構成するように接続されている。そして、各基本回路間には、同図に示すような配置関係で、2つの第1、第2パワーアンプPA1、PA2と、2つの第1、第2低雑音アンプLNA1、LNA2と、4つのアンテナAt1～At4とが介設されている。そして、各基本回路8a～8d、9a～9dは、単一の制御信号端子16への信号が電源電圧VDDか、0かに応じて、下記の真理値表に示すようにオン・オフする。

【0060】

【表1】

制御 信号	基 本 回 路							
	8a	9a	8b	9b	8c	9c	8d	9d
0	オフ	オン	オフ	オン	オフ	オン	オフ	オン
VDD	オン	オフ	オン	オフ	オン	オフ	オン	オフ

なお、例えば、第1パワーアンプPA1の送信部Ot1は0.8GHz帯用で1Wの出力電力を有し、第2パワーアンプPA2の送信部Ot2は1.9GHz帯用で0.1Wの出力電力を有し、第1低雑音アンプLNA1の受信部It1は0.8GHz帯用で、第2低雑音パワーアンプLNA2の受信部It2は1.9GHz用である。

【0061】このような回路の実用的使用方法としては、下記のような具体例がある。

【0062】（具体例1）各アンテナを送受信共に使用し、偏波ダイバーシティ機能を持たせる。例えば第1、第3アンテナAt1、At3を水平偏波信号用とし、第2、第4アンテナAt2、At4を垂直偏波信号用とする。第1パワーアンプPA1から水平偏波信号を送信し

たい場合には第1アンテナA_tを利用し、垂直偏波信号を送信したい場合には第4アンテナA_tを利用する。第2パワーアンプPA2から送信する場合も同様であり、また、各低雑音アンプLNA1、LNA2に受信する場合も同様である。

【0063】(具体例2)各アンテナのうちいずれかを内部アンテナと、他方を外部アンテナとしておくことで、各アンプの送受信を行うアンテナを内外切り換えることができる。例えば第1アンテナA_t1、A_t3を内臓ホイップアンテナ端子とし、第2、第4アンテナA_t2、A_t4を外部アンテナ端子とすることができる。

【0064】

【発明の効果】以上説明したように、請求項1の発明によれば、制御系統の簡素化された半導体集積回路を構成するための基本回路を提供することができる。

【0065】請求項2又は10の発明によれば、出力に発生する歪みの低減を図ることができ、よって、切換え可能な電力量の増大を図ることができる。

【0066】請求項3の発明によれば、複数の基本回路を配設して半導体集積回路を構成した場合に、周辺回路の簡素化を図ることができる。

【0067】請求項4の発明によれば、入出力間の接続、切断を単一の制御入力によって制御することができ、よって、入出力間のアイソレーションの向上を図ることができる。

【0068】請求項5の発明によれば、ブリッジT型アッテネータとして機能する半導体集積回路において、入出力間の減衰量を単一の制御入力によって変化させることができ、よって、周辺回路の簡素化を図ることができる。

【0069】請求項6、7、8又は9の発明によれば、単一の制御用電圧信号によって、各基本回路間の高周波信号の分配、混合、切り換え等を行うことができ、よって、分配器等における周辺回路の簡素化を図ることができる。

【図面の簡単な説明】

【図1】第1の実施形態における高周波用半導体集積回路中の基本回路の構成を示す電気回路図である。

【図2】第2の実施形態における高周波用半導体集積回路中の基本回路の構成を示す電気回路図である。

【図3】第3の実施形態における高周波用半導体集積回路中の単位回路の構成を示す電気回路図である。

【図4】第4の実施形態に係る高周波用分配回路の構成を示す電気回路図である。

【図5】第5の実施形態に係るブリッジT型アッテネータ回路の構成を示す電気回路図である。

【図6】第6の実施形態に係る高周波用混合回路の構成を示す電気回路図である。

【図7】第7の実施形態に係る高周波用四方切換え回路の構成を示す電気回路図である。

【図8】従来の高周波用半導体集積回路中の基本回路の構成を示す電気回路図である。

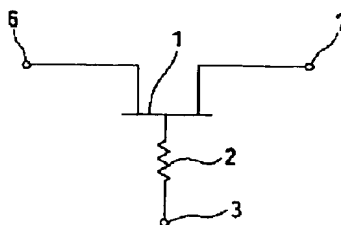
【図9】従来の高周波用半導体集積回路中の基本回路を組み合わせたスイッチ回路の構成を示す電気回路図である。

【図10】第8の実施形態に係る切換え回路の構成を示す電気回路図である。

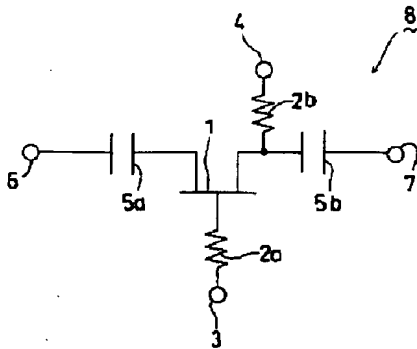
【符号の説明】

- 1 電界効果型トランジスタ
- 2 a 第1抵抗部材
- 2 b 第2抵抗部材
- 2 c 第3抵抗部材
- 3 第1制御端子
- 4 第2制御端子
- 5 a 第1キャパシタ
- 5 b 第2キャパシタ
- 6 第1信号端子
- 7 第2信号端子
- 8 第1基本回路
- 9 第2基本回路
- 10 入力端子
- 11 出力端子
- 12 第3制御端子
- 13 電源端子
- 14 a 第3出力端子
- 14 b 第4出力端子
- 15 第4制御端子
- 18 第3基本回路
- 20 単位回路

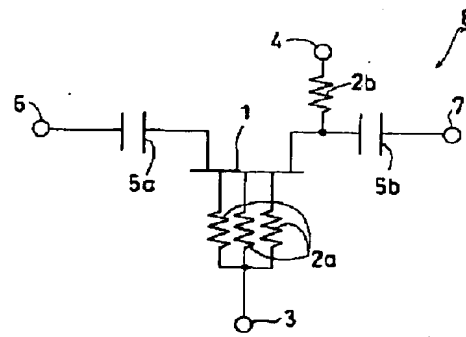
【図8】



【図1】

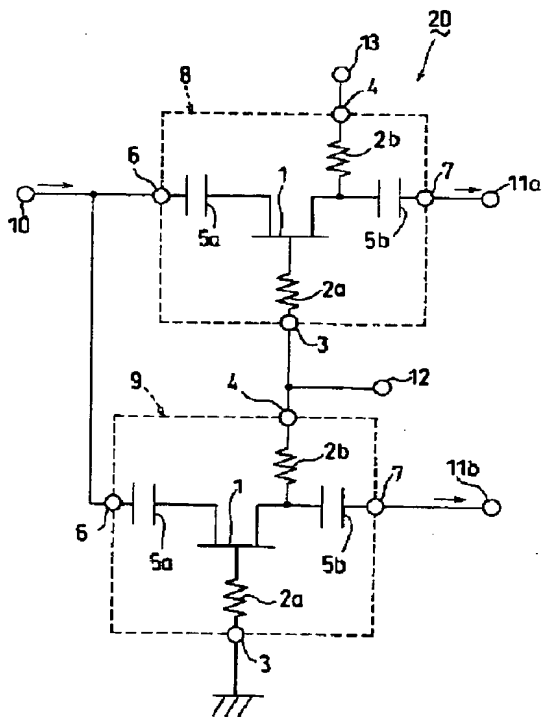


【図2】

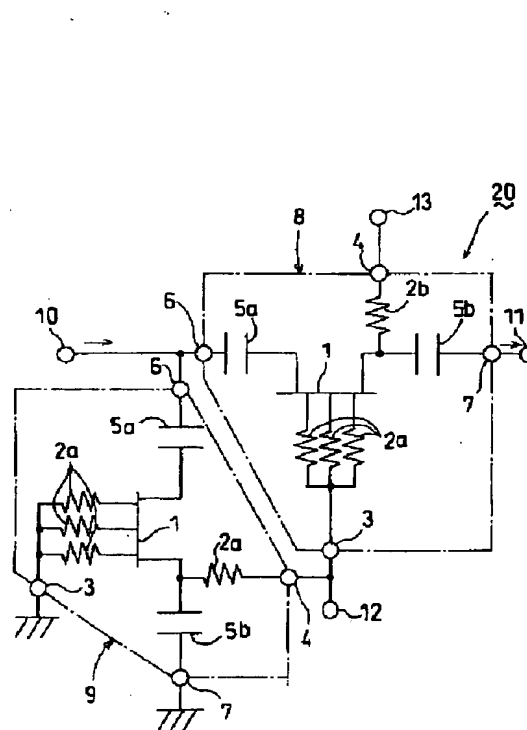


- 1・・・電界効果トランジスタ
 2a、2b・・・第1、第2抵抗部材
 3・・・第1制御端子
 4・・・第2制御端子
 5a、5b・・・第1、第2キャパシタ
 6・・・第1信号端子
 7・・・第2信号端子

【図3】

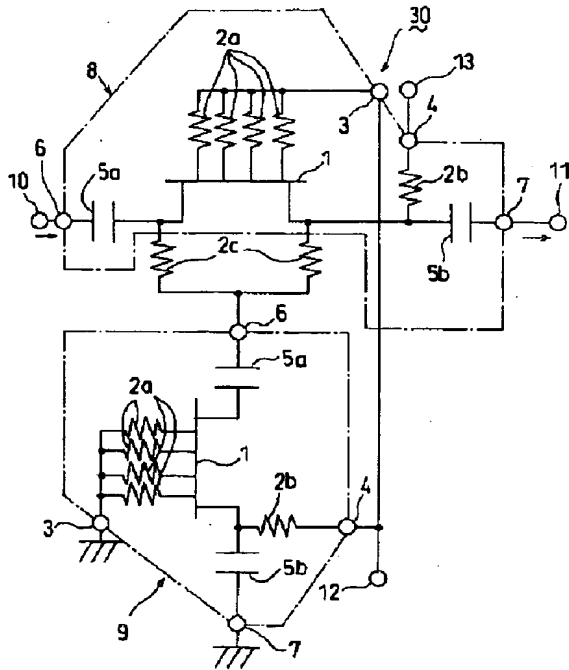


【図4】

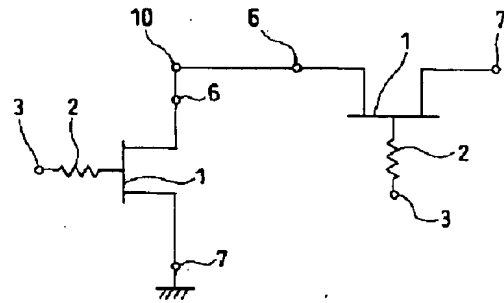


- 8・・・第1基本回路
 9・・・第2基本回路
 10・・・入力端子
 11・・・出力端子
 12・・・第3制御端子
 13・・・電源端子

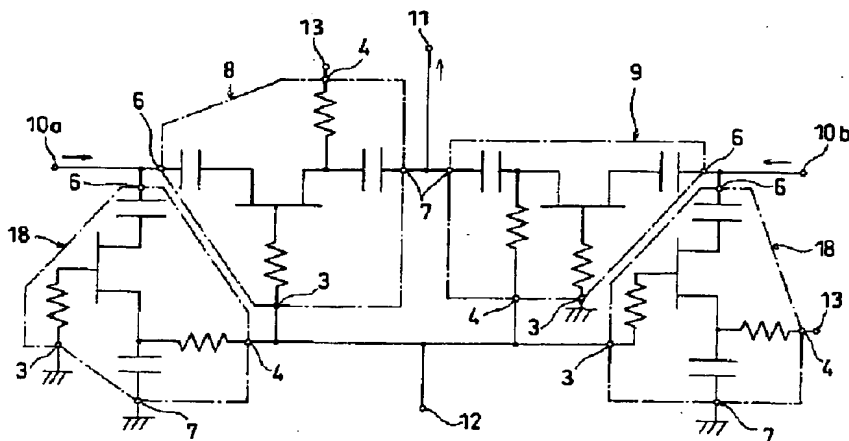
【図5】



【図9】



【図6】



The diagram illustrates a differential amplifier circuit with two input stages, 20a and 20b, which are mirror images of each other. Each stage contains a differential pair of transistors (labeled 9) with various biasing and load components (resistors and capacitors). The outputs of the two stages are connected to a common load network (labeled 11a and 11b) which is then connected to a common output node (labeled 12). The circuit is powered by a differential-mode input (labeled 10) and a differential-mode output (labeled 14a and 14b). The overall circuit is designed to provide a differential-mode output signal.